

# 1 Signály v elektronických systémech

Ve všech systémech jsou nositeli informace **signály**. Jako elektronický signál uvažujeme průběh napětí nebo proudu v čase. Z hlediska **determiničnosti, matematického popisu**, signály dělíme na

- deterministické,
- stochastické – náhodné.

Deterministické signály lze popsat matematickou funkcí, takže umíme určit jeho hodnotu v libovolném čase  $t$ . K deterministickým signálům patří signály

- periodické,
- kvaziperiodické – jsou tvořeny součtem několika harmonických signálů, jejichž frekvence jsou celistvými násobky jedné základní frekvence. Příkladem jsou amplitudově nebo frekvenčně modulované signály.
- přechodné – trvají omezenou, teoreticky neomezenou, dobu, ale periodicky se neopakují.

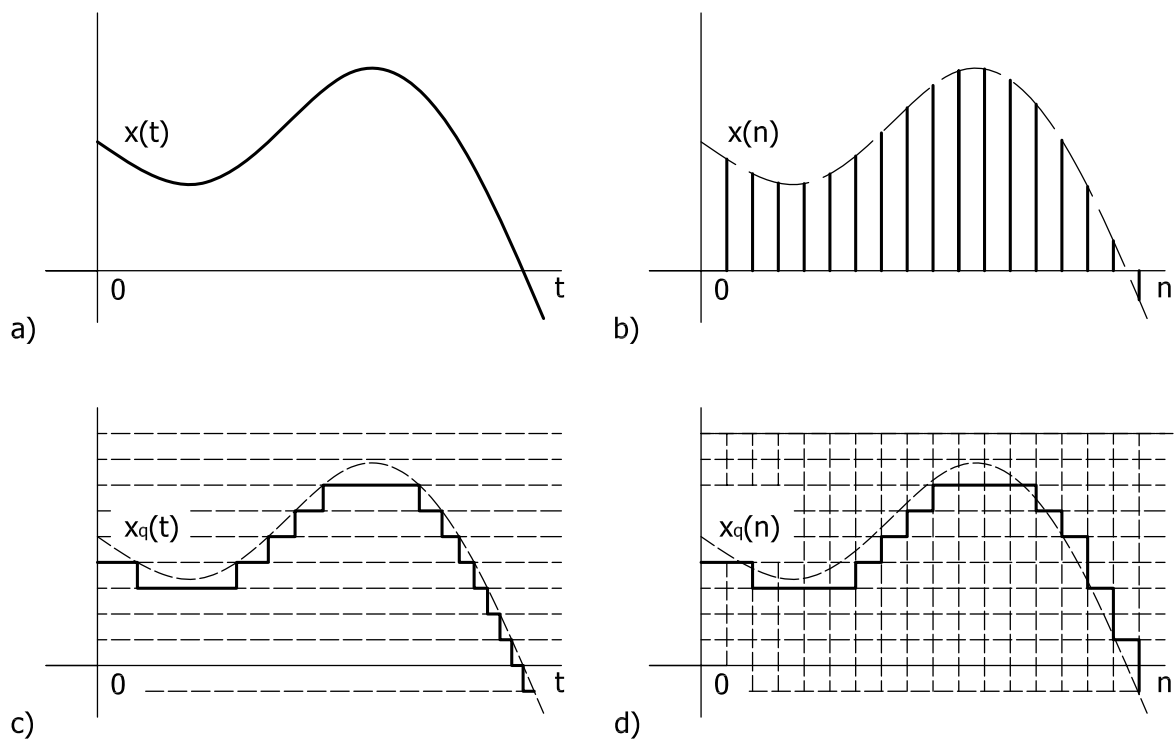
Stochastické (náhodné) signály je možno popisovat pouze statisticky.

Rozdělení signálů z hlediska spojitosti v **čase** a v **amplitudě** je na obr. 1. Signály na obr. 1a jsou **analogové signály** vyskytující se v analogových obvodech.

Signály na obr. 1b jsou **diskrétní signály** v čase. Mohou nabývat libovolné hodnoty amplitudy v určitém pásmu.

Signály na obr. 1c jsou **víceúrovňové signály spojitě** v čase. V praxi se vyskytují většinou pouze jako dvouúrovňové nebo trojúrovňové.

Signály na obr. 1d jsou **vzorkované číslicové signály**. V praxi se většinou získávají vzorkováním analogových signálů. S těmito signály pracují všechny číslicové počítače. Počet amplitudových úrovní je určen počtem bitů použitého analogově-číslcového převodníku.

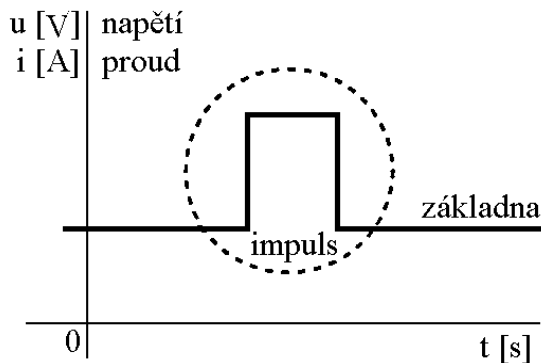


Obrázek 1. Rozdělení signálů z hlediska spojitosti v obou osách

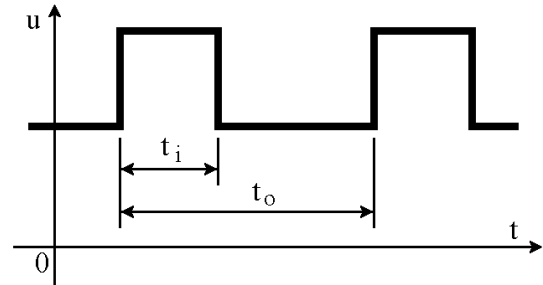
## 2 Parametry impulsů

**Impuls** je časový průběh libovolné veličiny, který se uvnitř konečného časového intervalu liší svou hodnotou od klidové hodnoty (základny) vně intervalu, viz obr. 2. Příklad průběhu **ideálního** impulsu je na obr. 4, příklad průběhu **skutečného** impulsu je na obr. 5.

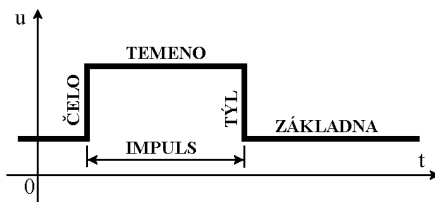
**Periodický pulsní signál** je časový průběh, v němž se pravidelně opakují stejné impulsy, viz obr. 3.



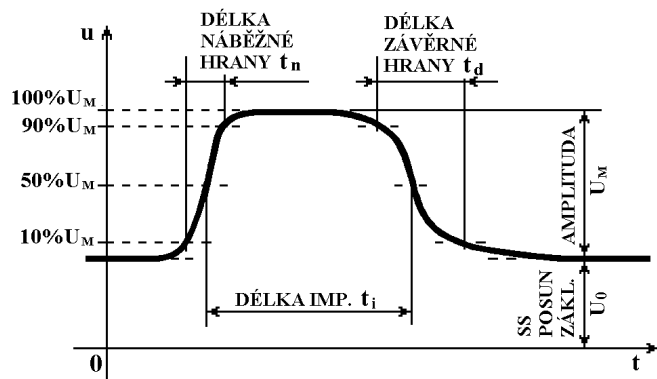
Obrázek 2. Příklad impulsu



Obrázek 3. Příklad periodického pulsního signálu



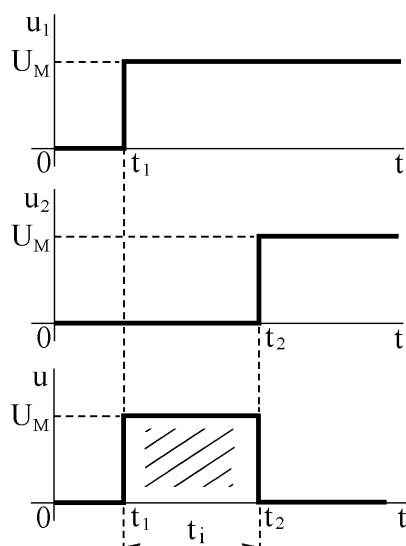
Obrázek 4. Ideální průběh



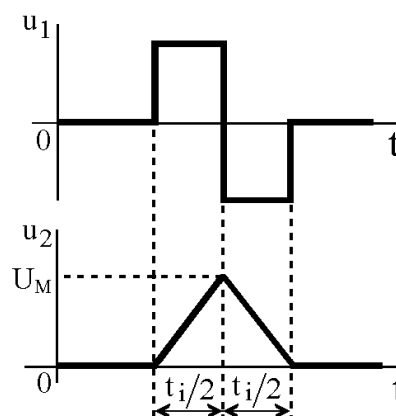
Obrázek 5. Skutečný průběh

- **Tvar** – základní charakteristika impulsu. Nejběžnější **pravoúhlý** impuls lze získat odečtením dvou časově posunutých napěťových skoků, viz obr. reffig:impulsy5. Integrací dvou předešlých impulsů za sebou vznikne **trojúhelníkový** impuls, viz obr. 7. Častější variantou je **pilový** impuls, kdy  $t_2 < t_1$  (obvykle  $t_2 \ll t_1$ , tj.  $t_2 \rightarrow 0$ ). Z běžného sinusového průběhu lze
  - oddělením (separací) části sinusovky,
  - amplitudovým omezením (“odříznutím”) špiček sinusovky

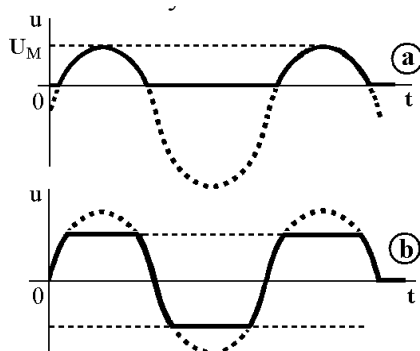
získat signál složený z **částí sinusovky**, viz obr. 8. Velmi častým jevem je nabíjení / vybíjení kapacitoru a s tím související **exponenciální** impuls, viz obr. 9. Obvykle jej aproximujeme impulsem trojúhelníkovým nebo pilovým – linearizujeme.



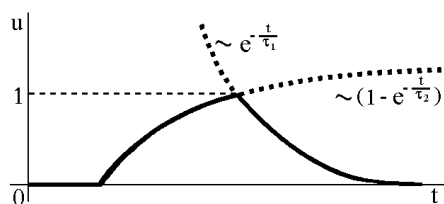
Obrázek 6. Pravoúhlý impuls



Obrázek 7. Trojúhelníkový impuls



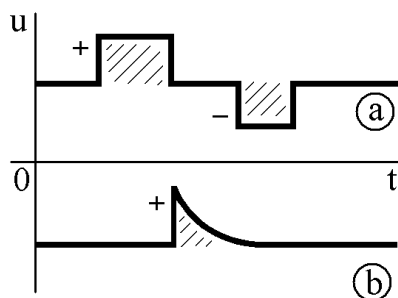
Obrázek 8. Impulsy z částí sinusovky



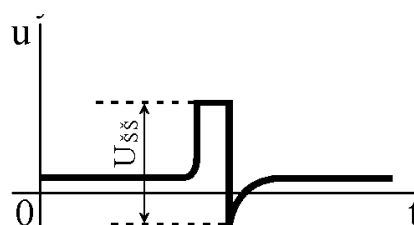
Obrázek 9. Impulsy z částí exponenciál

- **Amplituda** ( $U_M, U_{\text{šš}}$  [V]) – absolutní hodnota mezi nejvyšším a nejnižším bodem průběhu impulsu. Většinou to bývá napětí měřené od základny k nejvzdálenějšímu bodu temene impulsu, viz. obr. 11. Pokud má impuls vůči základně dva vrcholy (spodní impuls), označuje se obvykle amplituda jako napětí špička-špička,  $U_{\text{šš}}$ .

- **Polarita** – odpovídá znaménku derivace náběžné hrany impulsu a je vztažena vždy proti základně. Nezáleží na stejnosměrné superpozici signálu (na znaménku vlastní klidové základny), viz. obr. 10.

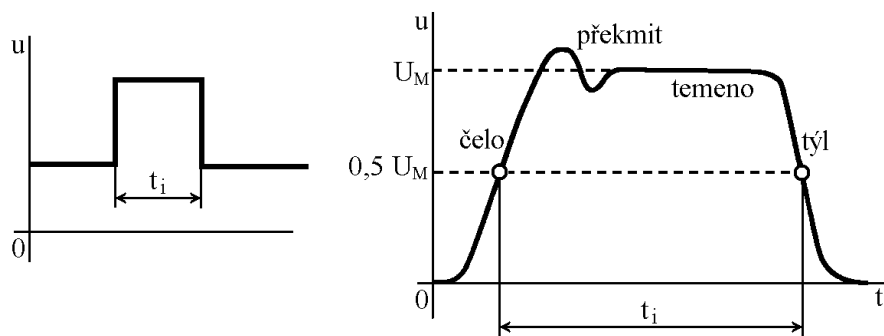


Obrázek 10. Polarita impulsu



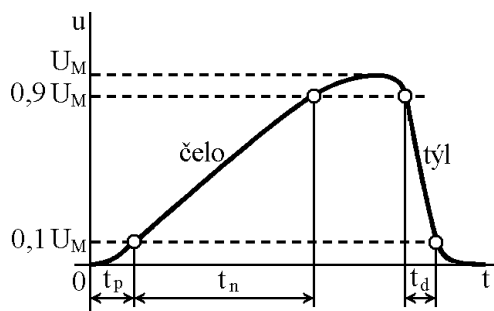
Obrázek 11. Amplituda impulsu

- **Délka** ( $t_i$  [s]) – je dána časovou vzdáleností hran impulsu a vyjadřuje tak jeho dobu trvání. U pravoúhlého impulsu je délka  $t_i$  zřejmá, v případě jiného průběhu se za délku impulsu  $t_i$  uvažuje časová vzdálenost mezi průchody čela a týlu impulsu 50 % úrovně z  $U_M$ , viz. obr. 12. Překmit jako špička zkreslující náběžnou hranu se udává v % amplitudy.

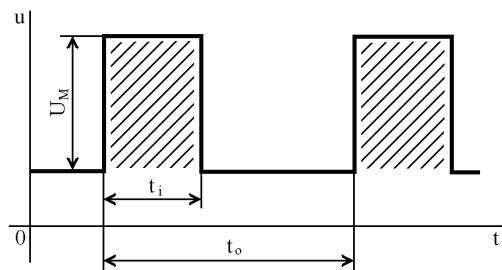


Obrázek 12. Délka a části impulsu

- **Délka náběžné a závěrné hrany** ( $t_n, t_d$ , [s]) – skutečné průběhy impulsů nemají ideálně strmá čela a týly (často jsou tvořeny exponenciálními průběhy), definují se délky těchto hran podle obr. 13. Délka příslušné hrany ( na čelu  $t_n$  a na týlu  $t_d$ ) je vymezena časem, kdy impuls dosáhne 10 % a 90 % z amplitudy  $U_M$ .



Obrázek 13. Délka náběžné a závěrné hrany



Obrázek 14. Parametry periodického impulsního signálu

- **Opakovací kmitočet**  $f_0$  [Hz], **Perioda**  $t_0$  [s] – časová vzdálenost stejných částí dvou po sobě se opakujících impulsů, viz obr. 14. Její převrácená hodnota udává opakovací kmitočet

$$f_0 = \frac{1}{t_0} \quad [\text{Hz}].$$

- **Střída**  $\delta$  [-] **Pracovní činitel**  $k$  [-]

Střída

$$\delta = \frac{t_i}{t_0 - t_i} = \frac{k}{1 - k}, \quad 0 \leq \delta \leq \infty$$

je tedy poměr mezi délkou impulsu a periodou. Pracovní činitel

$$k = \frac{t_i}{t_0} = \frac{\delta}{1 + \delta}, \quad 0 \leq k \leq 1$$

je poměr mezi délkou impulsu a periodou.

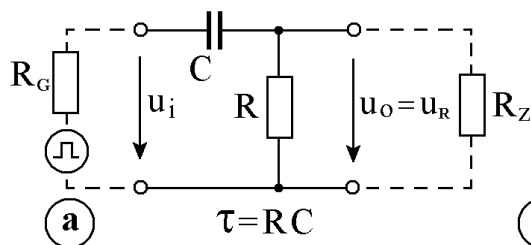
## 3 Tvarování impulsů

### 3.1 Lineární tvarování impulsů

Obsahuje-li dvojbran pouze **lineární prvky**, tzn. lze ho popsat lineárními diferenciálními rovnicemi, nemá vliv na tvar signálu v případě jeho harmonického průběhu (neuvažujeme-li změnu amplitudy či fáze). Má však vliv na tvar signálu s impulsním (neharmonickým) průběhem. Tento jev nazýváme lineárním tvarováním. Rozlišujeme především obvody s integračním a derivačním chováním.

### 3.1.1 Tvarování derivačním RC obvodem

Schéma zapojení derivačního obvodu z RC prvků je na obr. 15 a 16.

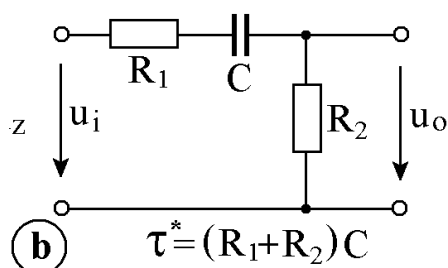


Přenos obvodu na obr. 15 je

$$\frac{U_O}{U_I} = \frac{R}{R + \frac{1}{pC}} = \frac{p\tau}{p\tau + 1},$$

(kde časová konstanta  $\tau = RC$ .)

Obrázek 15. Zapojení derivačního obvodu z RC prvků



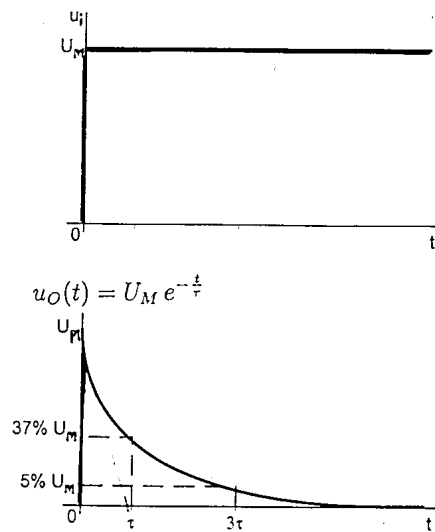
Přenos obvodu na obr. 16 je

$$\frac{U_O}{U_I} = k \frac{p\tau^*}{p\tau^* + 1}, k = \frac{R_2}{R_2 + R_1},$$

kde časová konstanta  $\tau^* = (R_1 + R_2)C$

Obrázek 16. Zapojení derivačního obvodu z RC prvků

- **Odezva na skokový impuls** obvodu na obr. 15 – jedná se o přechodovou charakteristiku, průběh výstupu v čase, viz obr. 17 je exponenciální  $u_O(t) = U_M e^{-\frac{t}{\tau}}$  a odpovídá průběhu proudu obvodem  $i(t)$  a jemu odpovídajícímu průběhu napětí  $u_R$  na rezistoru  $R$  během nabíjení kapacitoru  $C$ .

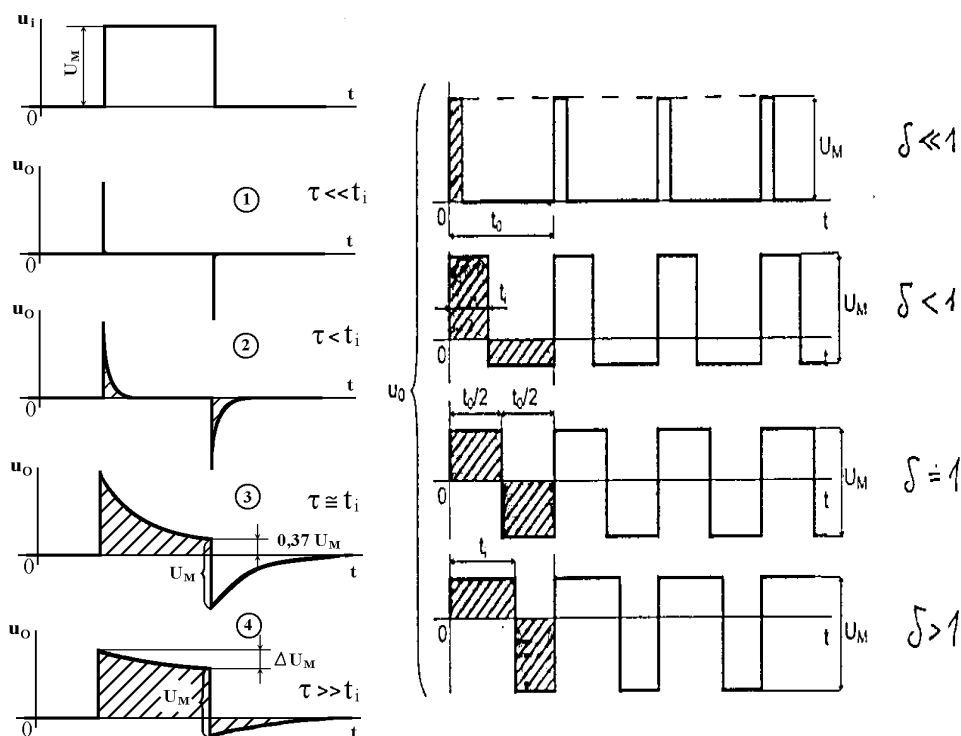


Obrázek 17. Odezva na skokový impuls u RC obvodu

- **Odezva na pravoúhlý impuls** obvodu na obr. 15 – pro přenos signálu **bez zkreslení** je třeba, aby  $\tau \gg t_i$ . Naopak pro **úzké derivační impulsy** na výstupu je třeba, aby  $\tau \ll t_i$ , viz obr. 23.

Jelikož kapacitor nepřenesne stejnosměrnou složku je třeba, aby šrafované plochy na výstupu byly stejné.





Obrázek 18. Odezva na signál u RC obvodu  
pravoúhlý impuls u RC obvodu

Obrázek 19. Odezva na periodický pravoúhlý

• **Přenos periodického pravoúhlého signálu** obvodu na obr. 15 – za předpokladu

- $\tau \gg t_i$ ,
- $f_0 = konst$ ,
- $U_M = konst$ .

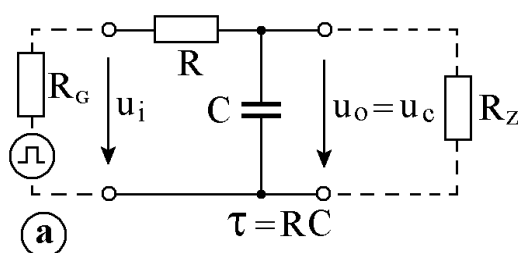
Potom budeme-li měnit délku impulsu  $t_i$ , tím i střídu  $\delta$ , je situace patrná z obr. 19. Se zvětšující se šířkou impulsu, zvětšování  $\delta$ , dochází vlivem posunu signálu ke zdánlivému poklesu amplitudy a současně i obrácení polarity impulsů. Situace souvisí s podmínkou rovnosti nábojů při nabíjení a vybíjení kapacitoru derivačního obvodu a s tím související podmínkou rovnosti ploch omezených průběhem výstupního signálu  $u_0$  nad i pod osou  $t$

• **Odezva na impulsy s konečnou strmostí  $t_n$**  – při **ideálním** pravoúhlém vstupním signálu lze získat teoreticky odezvu v podobě nekonečně strmých impulsů se **stejnou** amplitudou jako vstupní impulsy. Ve skutečnosti mají vstupní impulsy **konečnou strmost**, jejich náběžná hrana vznikla průchodem signálu integračním obvodem s

časovou konstantou  $\tau_1$ . Výstupní signál bude záviset na poměru časové konstanty  $\tau$  k časové konstantě vstupního signálu  $\tau_1$ . Zmenšováním časové základny  $\tau$  pro získání kratších impulsů - "derivování" - klesá amplituda, přitom se zmenšuje délka náběžné hrany.

### 3.1.2 Tvarování integračním RC obvodem

Schéma zapojení integračního obvodu z RC prvků je na obr. 20 a 21.

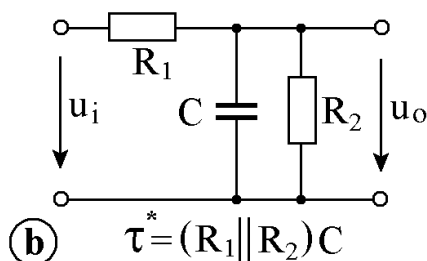


Přenos obvodu na obr. 20 je

$$\frac{U_O}{U_I} = \frac{\frac{1}{pC}}{R + \frac{1}{pC}} = \frac{1}{p\tau + 1},$$

kde časová konstanta  $\tau = RC$ .

Obrázek 20. Zapojení integračního obvodu z RC prvků



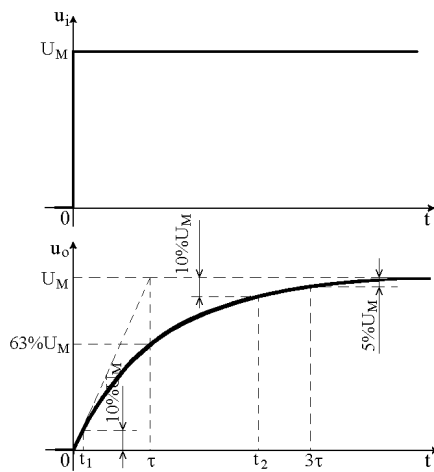
Přenos obvodu na obr. 21 je

$$\frac{U_O}{U_I} = k \frac{1}{p\tau^* + 1}, k = \frac{R_2}{R_2 + R_1},$$

kde časová konstanta  $\tau^* = \frac{R_1 R_2}{R_1 + R_2} C$

Obrázek 21. Zapojení integračního obvodu z RC prvků

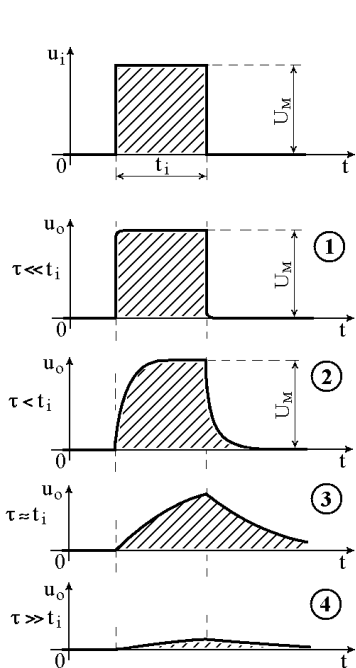
- **Odezva na skokový impuls** obvodu na obr. 20 – jedná se o přechodovou charakteristiku, viz obr. 22. Jedná se o průběh **nabíjení** kapacitoru  $u_O(t) = u_C(t)$ , jenž je doplňkový k průběhu napětí  $u_R$  na rezistoru  $R$ . Pro  $t \geq 0$  musí platit  $u_R + u_C = u_O$ .



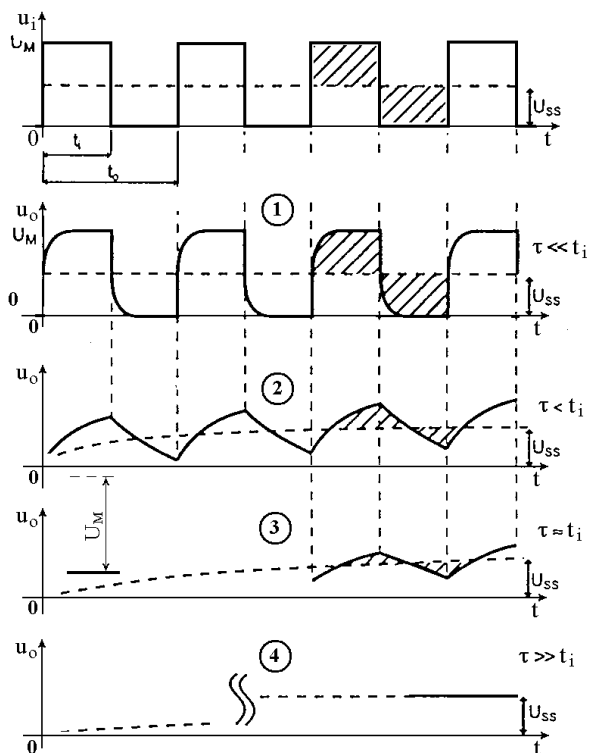
Obrázek 22. Odezva na skokový impuls u RC obvodu

- Odezva na **pravoúhlý impuls** obvodu na obr. 20 – pro přenos signálu **bez zkreslení** je třeba, aby  $\tau \ll t_i$ . Naopak pro **vyhlazení** impulsu - jeho "integrování", je třeba, aby  $\tau \gg t_i$ , viz obr. 23.

Vyšrafované plochy všech odezev, i vstupního impulsu jsou stejné.



Obrázek 23. Odezva na pravoúhlý impuls u RC obvodu



Obrázek 24. Odezva na periodický pravoúhlý signál u RC obvodu

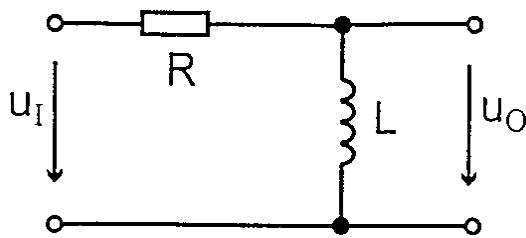
- **Přenos periodického pravoúhlého signálu** obvodu na obr. 20 – několik výstupních napětí  $u_o(t)$  v závislosti na velikosti časové konstanty pro střihu vstupního signálu  $\delta = 1$  je na obr. 24.

U integračního obvodu zůstává zachována velikost **stejnoseměrné složky** signálu. Pro  $\tau \ll t_i$  je přenesený signál téměř nezkrácen. Při  $\tau \gg t_i$  je obvod velmi dobrým "integrálem" a  $u_i$  odpovídá střední hodnotě vstupního signálu.

### 3.1.3 Tvarování RL obvodu

Je analogií RC obvodů včetně přenosů. Chování skutečných RL obvodů je často odlišné od ideálních RL obvodů. Hlavním důvodem je, že reálná tlumivka nebo transformátor má s indukčností  $L$  neoddělitelně spojen i ohmický odpor vinutí  $R$ .

#### Derivační RL obvod



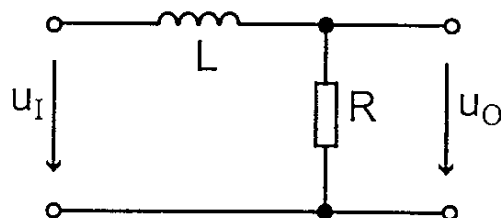
Přenos obvodu na obr. 25 je

$$\frac{U_O}{U_I} = \frac{pL}{R + pL} = \frac{\tau p}{\tau p + 1},$$

kde časová konstanta  $\tau = \frac{L}{R}$ .

Obrázek 25. Zapojení derivačního obvodu z RL prvků

### Integrační RL obvod



Přenos obvodu na obr. 26 je

$$\frac{U_O}{U_I} = \frac{R}{R + pL} = \frac{1}{\tau p + 1},$$

kde časová konstanta  $\tau = \frac{L}{R}$ .

Obrázek 26. Zapojení integračního obvodu z RL prvků

## 3.2 Nelineární tvarování impulsů

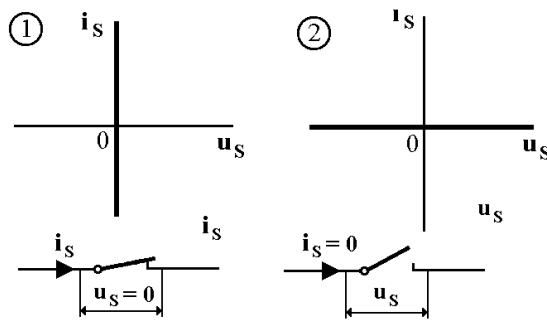
Základem této problematiky jsou obvody, které obsahují prvky s **nelineární** charakteristikou – **spínací obvody**.

### 3.2.1 Spínací obvody

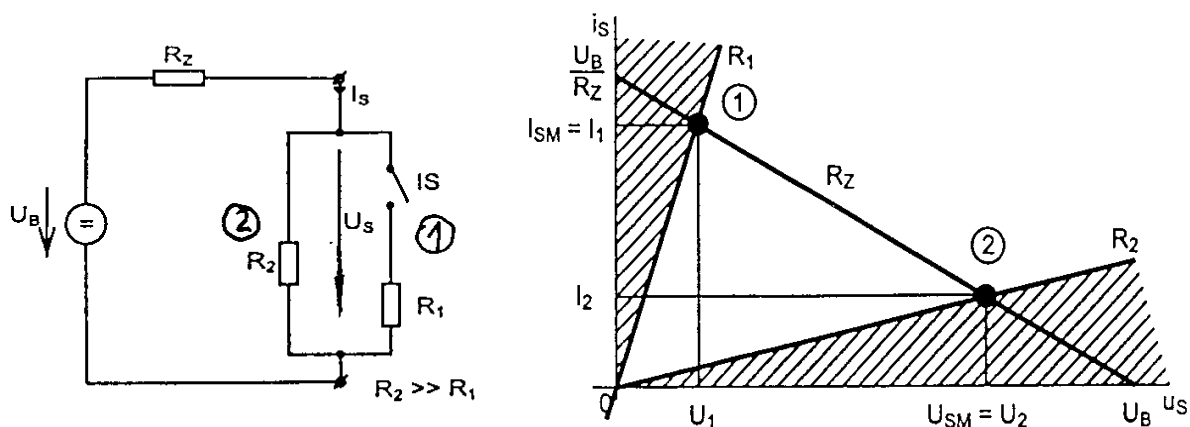
**Ideální spínač** má dva stavy, viz obr. 27

- sepnutý – vodivý, je na něm vždy nulové napětí
- rozepnutý – nevodivý, při libovolném napětí prochází vždy nulový proud

**Reálný spínač** má vždy určitý malý odpor  $R_1$  ve vodivém stavu a při rozepnutí velký odpor  $R_2$ , viz obr. 28.



Obrázek 27. Charakteristiky ideálního spínače



Obrázek 28. Spínání reálným spínačem

**Polovodičové spínače** můžeme rozdělit z hlediska signálu zajišťujícího spínací účinek na dva základní typy

- spínače, u nichž je účinek dán **V-A charakteristikou** vlastního polovodičového prvku a jsou ovládány vlastním spínaným impulsním signálem - **diody**
- spínače ovládané pomocným spínacím signálem
  - proudem bipolární tranzistor
  - napětím unipolární tranzistor

### 3.2.2 Omezovače

Jde o obvody nelineárního tvarování – **omezovače amplitudy** (obvody amplitudového výběru). Jde o děliče z rezistorů a prvků s nelineární charakteristikou, nejčastěji diody, které umožňují potlačení amplitudy signálu od nebo do jisté úrovně.

Druhy omezovačů

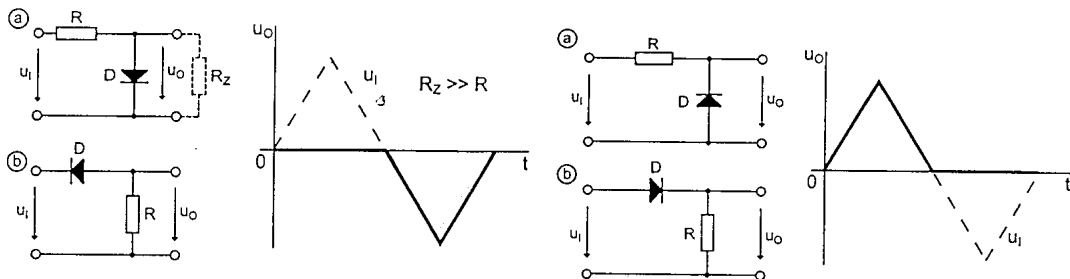
- podle počtu úrovní omezení – **jednostranné** nebo **dvoustranné**
- podle použitého nelineárního prvku – **diodové** nebo **tranzistorové**
- podle zapojení nelineárního prvku vůči zátěži – **sériové** nebo **paralelní**

Na obr. 29, 30, 31, 32 je předpoklad, že diody jsou ideální (pro  $U_D \geq 0$  je dioda sepnutá). Varianty a) jsou paralelní typy, b) jsou sériové typy. Výsledné průběhy jsou pro oba typy shodné. Diody fungují jako spínače.

V případě omezovačů **kladných** úrovní, obr. 29, v zapojení

- diody potlačí kladný impuls, je na odporu  $R$ ,
- diody kladný impuls nepropustí na výstup.

Obrácení diod vede na omezení **záporných** úrovní, viz obr. 30



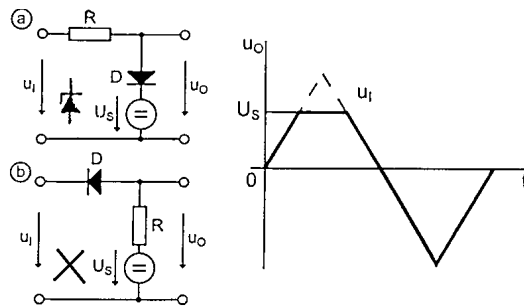
Obrázek 29. Omezovače kladných úrovní      Obrázek 30. Omezovače záporných úrovní

Použitím zdroje  $U_{ss}$  s vhodnou polaritou lze omezit kladné/záporné úrovně, které přesáhnou danou mez ( $u_s > U_S$ ).

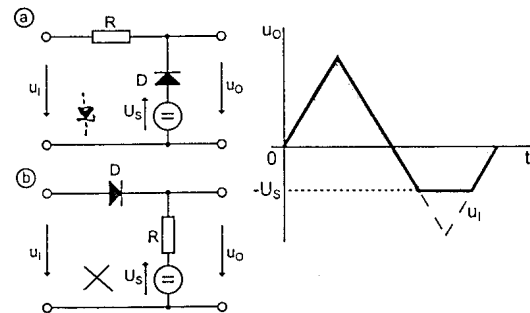
Diody v obvodě na obr. 31 se v zapojení

- otevřít až při  $u_i > U_S$ , a proto se na výstupu nemůže dostat větší napětí než  $U_S$ .
- sériová dioda je polarizována v propustném směru až do doby, kdy  $u_i > U_S$ .

Současné obrácení diod a zdrojů napětí  $U_S$  vede k omezení záporných úrovní, viz obr. 32.



Obrázek 31. Omezovače kladných úrovní



Obrázek 32. Omezovače záporných úrovní

## 4 Logické obvody

Logické obvody jsou elektronické obvody a systémy, kterými jsou realizovány **logické funkce**. Obecně sem patří kombinační i sekvenční (výstupní funkce je podmíněna sekvencí předchozích stavů) logické obvody.

Výchozím předpokladem bude používání **dvouhodnotové pozitivní logiky** s hodnotami

$$\text{log}.0 \approx 0 \approx L(\text{Low})$$

$$\text{log}.1 \approx 1 \approx H(\text{High})$$

### Požadavky na realizační strukturu logických obvodů:

- minimální soubor logických funkcí – AND a NOT, OR a NOT, tj. NAND a NOR
- logický zisk
- mezní kmitočet  $f_{\max}$
- vlastní technologie
- odolnost proti rušení
- ekonomické hledisko

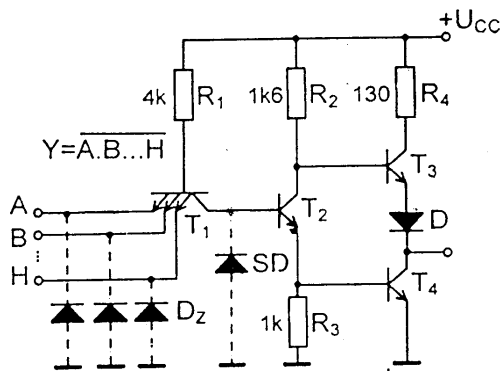
### Historický přehled struktury logických obvodů

- Logika diodová – DL
- Logika odporo-tranzistorová – RTL
- Logika diodo-tranzistorová – DTL
- Logika tranzistoro-tranzistorová – TTL
- Logika emitorově vázaná – ECL
- Logika CMOS (unipolární)

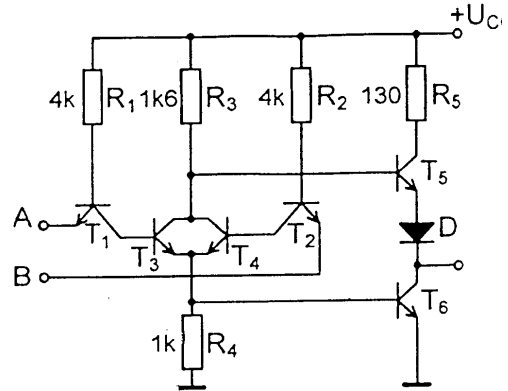


## 4.1 Bipolární logické obvody TTL

Základem všech integrovaných číslicových obvodů TTL je **monolitické hradlo NAND**, viz obr. 33. Vychází se z DTL logiky, kdy vstupní diodový součin a oddělovací diody jsou nahrazeny víceemitorovým tranzistorem. Mezi základní přednosti TTL logiky patří rychlost, dostatečný zisk a přijatelná hustota na čipu.



Obrázek 33. Hradlo NAND



Obrázek 34. Hradlo NOR

**Převodní charakteristika** udává závislost výstupního napětí  $U_O$  elementárního hradla na průběhu vstupního napětí  $U_I$ , viz obr. 35.

Ve strmé části charakteristiky je definován bod  $T$ , pro který platí  $U_I = U_O$ . Vstupní napětí pro tento bod je tzv. **prahovým napětím** obvodu (rozhodovací úroveň). V okolí tohoto bodu se doporučuje, aby doba přechodu přes tuto oblast byla kratší než 50 ns - s ohledem na možný vznik oscilací.

Na obrázky jsou šrafovaně označena zakázaná pásma, která jsou tolerančními mezemi udanými výrobcem - sem se nesmí dostat žádná změřená charakteristika.

$U_I$	:	$U_{ILmax} = 0,8 V$	$U_{IHmin} = 2 V$
$U_O$	:	$U_{OLmax} = 0,4 V$	$U_{OHmin} = 2,4 V$

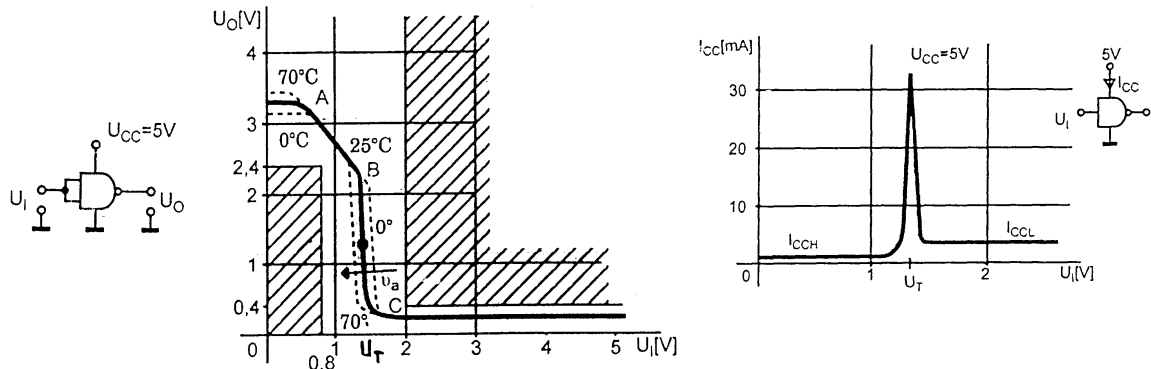
Typické hodnoty pro  $U_{CC} = 5 V$ ,  $\vartheta_a = 25^\circ C$  jsou :  $U_{OL} = 0,3 V$ ,  $U_{OH} = 3,2 V$ ,  $U_T = 1,3 V$

Nominální hodnoty napájecího napětí  $U_{CC}$  jsou  $5 V \pm 5\%$ . Odběr proudu  $I_{CC}$  ze zdroje pro jedno elementární hradlo je při  $U_{CC} = 5 V$

-  $I_{CCL} = 3,5 mA$ ,

-  $I_{CCH} = 1,1 mA$ .

Při překlápění obvodu z jedné úrovně do druhé, dochází při  $U_I = U_T$  k situaci, kdy všechny tranzistory pracují v aktivní oblasti a oba výstupní tranzistory se na krátkou chvíli otevřou, takže proud koncového stupně je omezen pouze odporem  $R_4 = 130 \Omega$ . Proto dochází ke krátkodobé odběrové špičce, která několikanásobně převyšuje klidový odběr, viz obr. 36.



Obrázek 36. Odběrová charakteristika elementárního hradla při

Obrázek 35. Převodní charakteristika elementárního překlápění hradla

**Dynamické parametry** hradla souvisí s tím, že hradlo nereaguje svým výstupem an přivedený signál okamžitě, ale až po určitém zpoždění, zapříčiněném hlavně přesycováním tranzistorů a kapacitami přechodů, viz obr. 37.

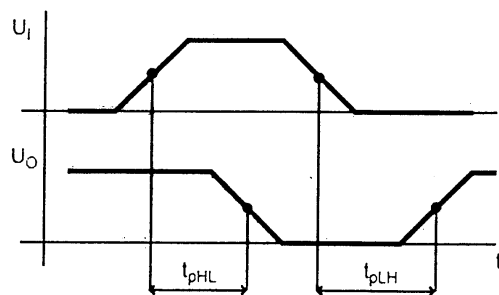
Doby zpoždění jsou pro změnu výstupu z  $H \rightarrow L - (t_{pHL})$  a z  $L \rightarrow H - (t_{pLH})$  různé. Typické hodnoty zpoždění jsou

$$t_{pHL} = 7 \text{ ns}, t_{pLH} = 11 \text{ ns}.$$

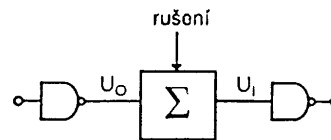
Pro srovnání různých typů hradel se užívá doba průchodu  $t_{pd}$  jako střední doba  $t$  obou uvedených zpoždění

$$t_{pd} = \frac{t_{pHL} + t_{pLH}}{2}.$$

Pro běžná hradla TTL je  $t_{pd} = 10 \text{ ns}$



Obrázek 37. Dynamické parametry



Obrázek 38. Rušení hradel

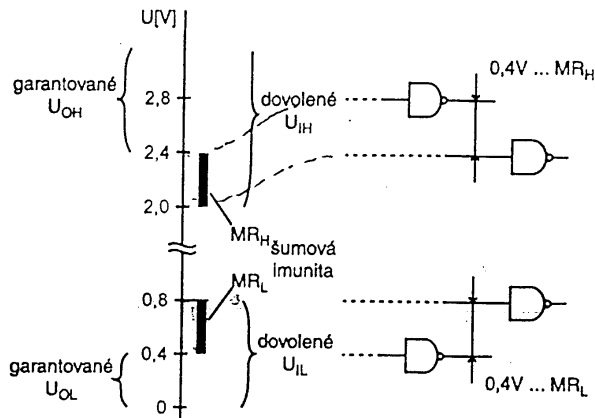
**Odolnost hradel vůči rušení** – chování obvodů TTL vůči rušivým signálům určují dovolené **meze rušení MR** - šumová imunita. Mez rušení odpovídá maximální velikosti vstupního napětí, kterou můžeme superponovat k dané logické úrovni, aniž by došlo ke změně výstupního stavu obvodu, viz obr. 38.

Podle doby trvání rušivého signálu vůči době zpoždění hradla  $t_p$  lze šumovou imunitu rozdělit na

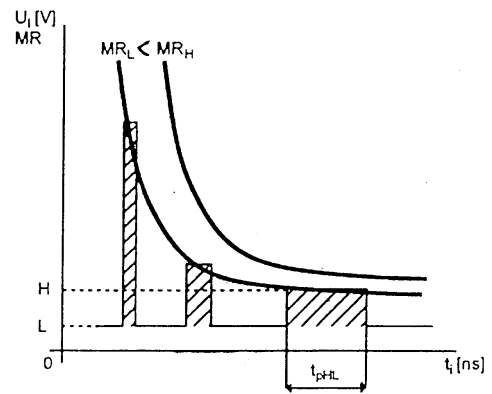
- **statická šumová imunita** – je definována pro rušivé signály s délkou trvání větší než je zpoždění hradla. Rozeznáváme dvě základní šumové imunity
  - **Garantovaná šumová imunita** – je definovaná jako rozdíl nejhorsích mezních hodnot vstupů a výstupů zaručených výrobcem logických obvodů, viz obr. 39
  - **Typická šumová imunita** – využívá se v praxi a vychází z hodnot logických úrovní a z prahového napětí logického obvodu  $U_T$ . Pro typické hodnoty logických úrovní platí pro šumovou imunitu

$$MR_H = 3,2 - 1,3 = 1,9 \text{ V}, MR_L = 1,3 - 0,3 = 1 \text{ V}.$$

- **dynamická šumová imunita** – souvisí s necitlivostí logických obvodů ke krátkým impulsům, jejichž délka trvání je srovnatelná a kratší než doba potřebná pro překlopení hradla z jedné úrovně do druhé, viz obr. 40. Dynamická šumová imunita se asymptoticky blíží pro délky pulsů  $t_i > t_p$  k hodnotě stejnosměrné šumové imunity. Z praktického hlediska lze říci, že hradlo se chová jako filtr pro délky vstupních rušivých pulsů  $t_i < t_p$ .



Obrázek 39. Statická šumová imunita



Obrázek 40. Dynamická šumová imunita

**Logický zisk** – zatížitelnost výstupu – je schopnost obvodu dodávat proud do, nebo odebírat proud z určitého počtu  $N$  jednotkových zátěží. Logickým ziskem  $N$  budeme rozumět číslo, které udává počet jednotkových zátěží, které můžeme paralelně připojit k výstupu obvodu stejné řady při zaručení výrobcem definovaných parametrů - logických úrovní.

Logický zisk u základních hradel TTL se udává  $N = 10$ .

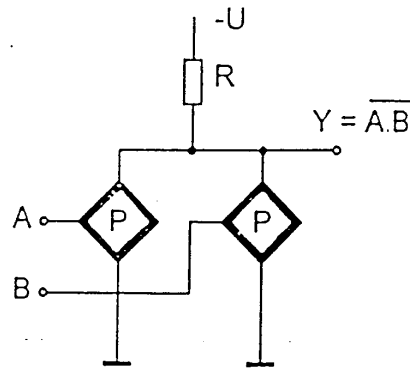
## 4.2 Unipolární logické obvody

Unipolární logické obvody využívají **MOS FET** spínacích tranzistorů. Tím, že jednotlivé spínače jsou řízeny místo **proudu** –  $I_B$  **napětím** –  $U_{GE}$ , je umožněno i sériové řazení těchto spínačů. Pro účely realizace logických obvodů mohou být tyto spínače řazeny

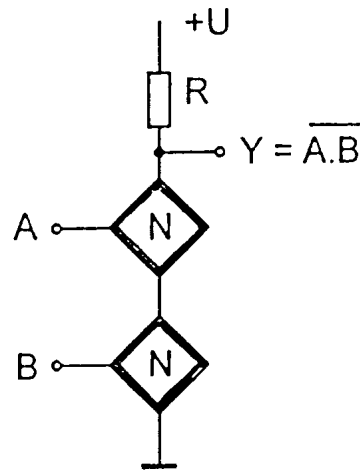
- paralelně – stačí sepnutí jen jednoho spínače, viz. obr. 41,
- sériově – je třeba sepnutí obou sériových spínačů, viz. obr. 42,

kde

- N – spínač MOS FET s indukovaným kanálem typu N,
- P – spínač MOS FET s indukovaným kanálem typu P.



Obrázek 41. Paralelní řazení spínačů  
– NAND



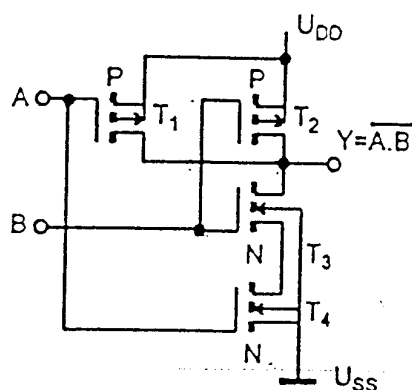
Obrázek 42. Sériové řazení spínačů – NAND

**Obvody CMOS** – velmi perspektivní technologie, statická spotřeba je nesrovnatelně menší než technologie TTL, díky tomu lze dosáhnout podstatně větší hustoty obvodů na čipu při jednodušších výrobních postupech i nákladech.

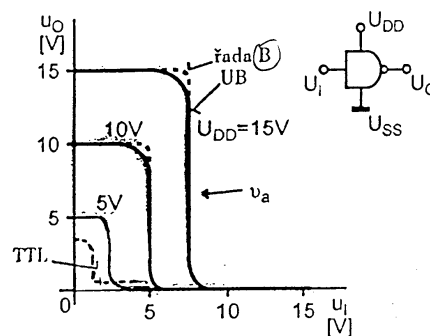
Vlastní hradlo CMOS v základní konfiguraci – NAND je na obr. 43. Každý ze sériových spínačů s indukovaným kanálem typu N má svůj komplementární spínač s indukovaným kanálem typu P. U obvodu na obr. 43 jsou sériové spínače zdvojené, "křížem" prostřídáné kvůli zajištění shodných podmínek pro oba vstupy A i B.

**Převodní charakteristika** obvodu CMOS je na obr. 44, z které vyplývá základní srovnání s obvodem TTL při  $U_{DD} = U_{DD} = 5\text{ V}$

- klidová vstupní úroveň pro L a H se neliší od  $U_{SS}$  (0 V) a napájení  $U_{DD}$ ,
- překlápecí napětí  $U_T$  je  $(0,45 \div 0,5) U_{DD}$  a to v závislosti na teplotě  $\vartheta_a$ .



Obrázek 43. Hradlo NAND



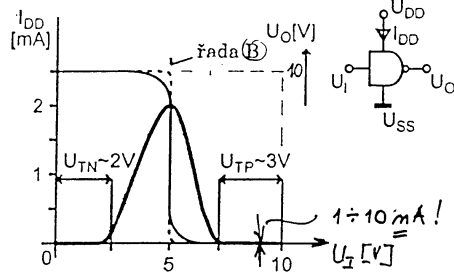
Obrázek 44. Převodní charakteristiky hradla CMOS

**Statická odběrová charakteristika** hradla CMOS je na obr. 45. Obvody CMOS odebírají proud jen při změnách stavu výstupu (v "klidu" odebírají zcela minimální odběr  $I_{DD} \sim 1 \div 10 \text{ nA}$ ). To se promítne do dynamického odběru, kdy s rostoucí frekvencí překlápění hradla se delší a delší dobu hradlo vyskytuje v oblasti velkého odběru  $I_{DD}$  a tím roste i ztrátový výkon  $P_t$  na hradlo. Při kmitočtech nad  $1 \text{ MHz}$  je  $P_t$  srovnatelný nebo větší než u TTL.

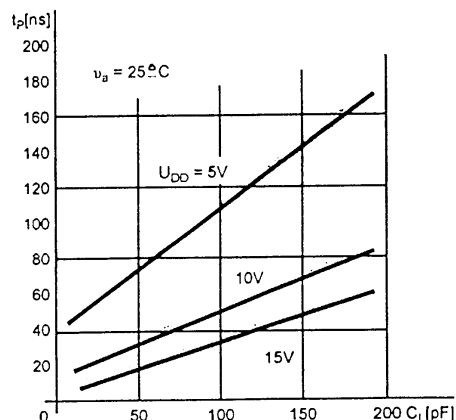
**Dynamické vlastnosti** – obvody základní řady CMOS jsou ve srovnání s LS TTL pomalé a citlivé vůči kapacitní zátěži, viz obr. 46.

Při malých  $U_{DD}$  je základní zpoždění  $t_{pd}$  poměrně velké, (40 ns), při zvýšení z 5 V na 10 V klesne zpoždění zhruba na polovinu.

Rychlé řady CMOS typu ACT mají oproti uvedeným hodnotám  $t_{pd}$  výrazně menší hodnotu – 3 ns.



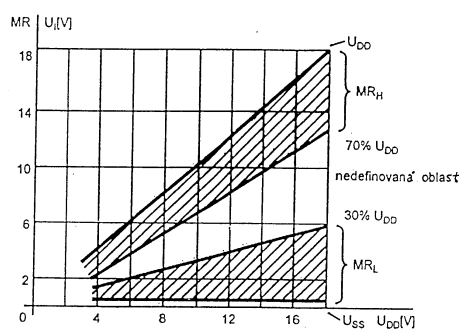
Obrázek 45. Odběrová charakteristika



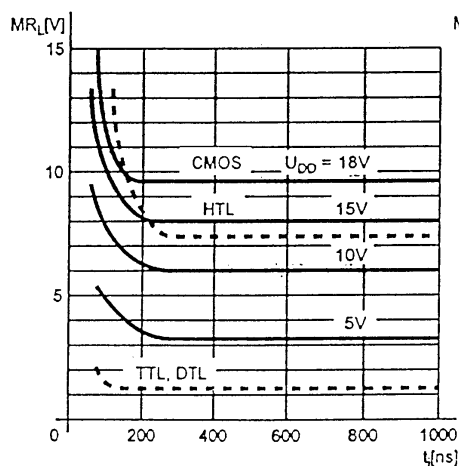
Obrázek 46. Zpoždění průchodu signálem hradlem

**Odolnost hradel proti rušení** – jakožto odstup rušivých signálů je u hradel CMOS oproti TTL výrazně závislá na odstupu napájecího napětí  $U_{DD}$ .

- Statická šumová imunita – je pro obvody CMOS na úrovni 30% až 45%  $U_{DD}$ , viz obr. 47, kde jsou pro horší případ meze rušení šrafovány v závislosti na  $U_{DD}$ .
- Dynamická šumová imunita – vyjadřuje souvislost rušení s amplitudou a s délkou impulsů. U obvodů CMOS je závislá i na vstupní kapacitě. Na obr. 48 si lze podle průběhů pro jednotlivá  $U_{DD}$  všimnout, jak se může měnit amplituda rušivých impulsů v závislosti na jejich délce aniž by došlo ke změně logické funkce obvodu. Pro srovnání jsou čárkovane uvedeny průběhy i pro obvody TTL, DTL a HTL.



Obrázek 47. Statická šumová imunita



Obrázek 48. Dynamická šumová imunita

Logický zisk –  $N = 50$  vstupů hradel CMOS.

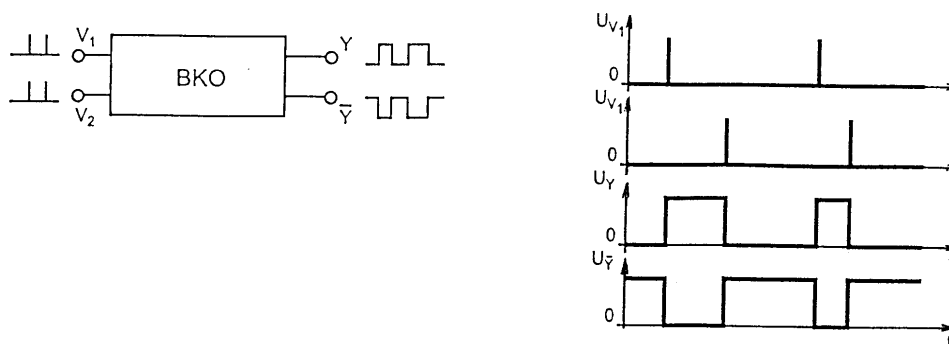
## 5 Klopné obvody

V elektronických systémech si často potřebujeme pamatovat logické stavy, generovat impulsy určité požadované délky, amplitudy i kmitočtu, dělit tento kmitočet..., k tomu složí klopné obvody.

Jednotlivé klopné obvody můžeme rozdělit podle různých hledisek

- Podle činnosti

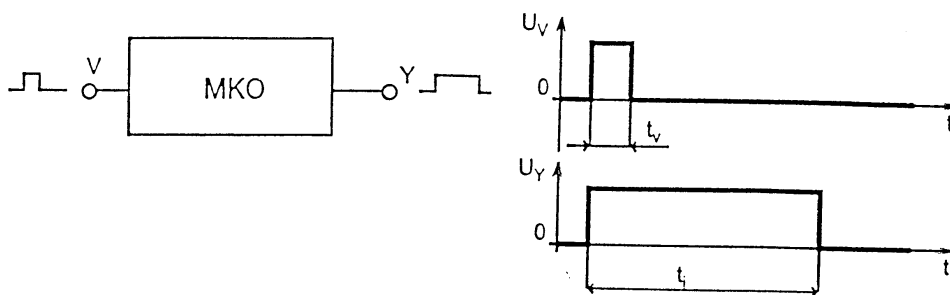
- **Bistabilní klopný obvod**, viz obr. 49. Bistabilní klopný obvod má dva stabilní stavy, ve kterých libovolně dlouho setrvává, pokud na vstupy  $V_1$ ,  $V_2$  nepřejde vhodný impuls k překlopení.



Obrázek 49. Bistabilní klopný obvod

- **Monostabilní klopný obvod**, viz obr. 50. Monostabilní klopný obvod je charakterizován jedním stabilním stavem, ze kterého vhodným vstupním impulsem délky  $t_v$  obvod přechází na dobu  $t_i$  do kvazistabilního stavu. Doba překlopení je dána parametry vlastního MKO.

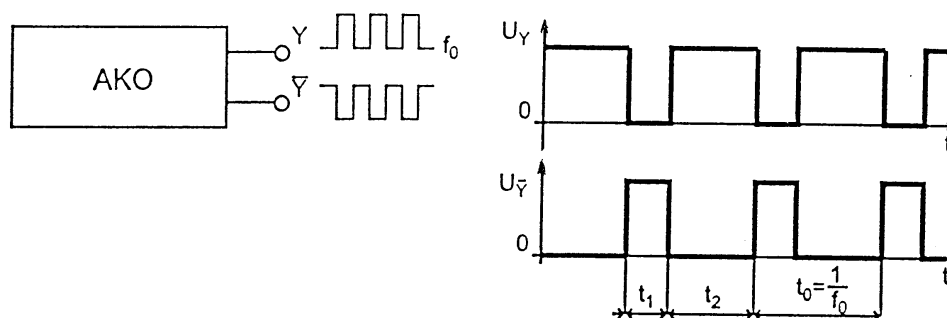
Slouží k **prodlužování** nebo **zkracování** impulsů



Obrázek 50. Monostabilní klopný obvod



- **Astabilní klopný obvod**, viz. obr. 51. Astabilní klopný obvod má oba stavy kvazistabilní, a tak na jeho výstupech  $Y$  a  $\bar{Y}$  jsou průběhy napětí ve tvaru periodického pravoúhlého signálu, kde kmitočet  $f_0$  a střída  $\delta$  jsou dány parametry vlastního obvodu.



Obrázek 51. Monostabilní klopný obvod

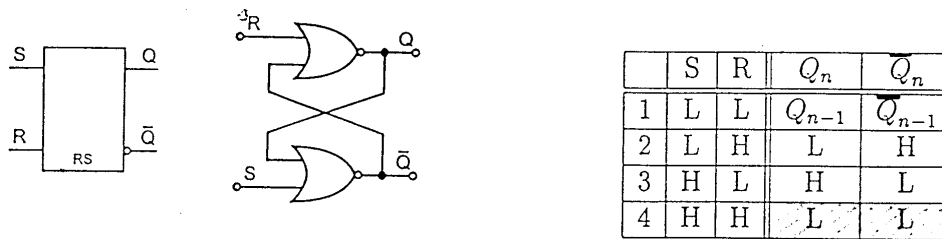
- Podle použitých prvků
  - s bipolárními nebo unipolárními tranzistory
  - s logickými obvody (hradla TTL, CMOS...)
  - s integrovanými verzemi KO
  - s jinými prvky (např. tyristory, relé...)

## 5.1 Klopné obvody realizované hradly a integrované verze

### 5.1.1 Bistabilní klopné obvody

Základní druhy klopných obvodů, sloužících k zapamatování informace jednoho bitu jsou

- **RS klopný obvod** – jde realizačně o nejjednodušší obvod, který je základem i mnohým dalším realizacím klopných obvodů včetně složitějších systémů.
  - $S$  – set ("nastav")
  - $R$  – reset ("nuluj")
  - $Q, \bar{Q}$  – výstup, negace k výstupu
  - **RS obvod typu NOR** Současný požadavek na nulování a nastavení  $Q$  nemá smysl a u obecného RS obvodu není tento stav definován



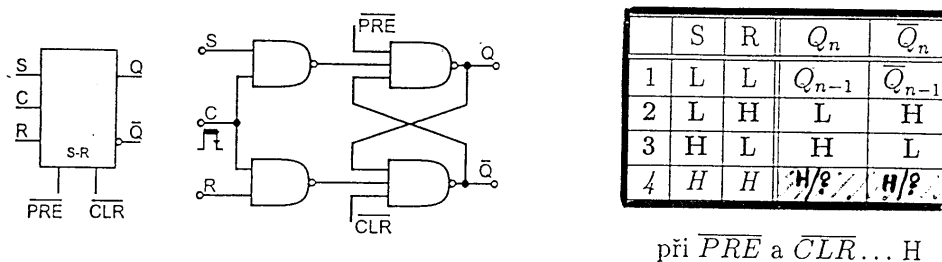
Obrázek 52. RS klopný obvod, zapojení s obvodu NOR

- **RS obvod typu NAND** Pokud je na vstupu  $\bar{R}$  a  $\bar{S}$  současně  $log.0$ , tento stav nemá smysl a není definován.



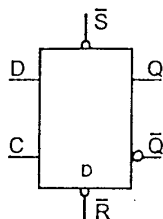
Obrázek 53. RS klopný obvod, zapojení s obvodu NAND

- **Klopný obvod typu RST** Pro použití ve složitějších systémech, kde je nutná synchronizace hodinovými pulsy jsou vhodné **synchronní klopné obvody RS** v podobě RST



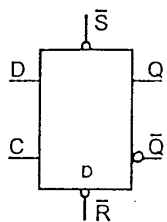
Obrázek 54. Synchronní RST klopný obvod

- **D klopný obvod** – pro vyloučení problematických stavů u RST obvodů je třeba zajistit pouze dva možné stavy, což vede na variantu zvanou **obecný synchronní D klopný obvod**. Jeho princip zapojení včetně tabulky stavů je na obr. 56



Obrázek 55. Obecný synchronní D klopný obvod

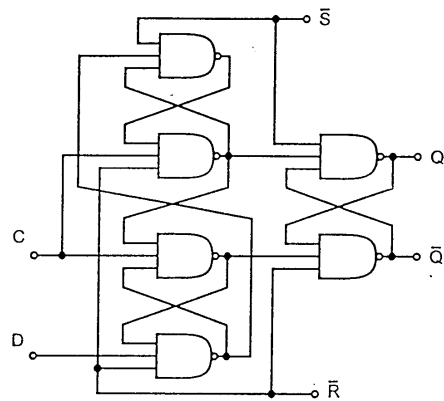
- **D klopný obvod řízený hranou** – u tohoto typu je míněná pravdivostní tabulka splněná s **náběžnou hranou** hodinového impulsu  $C$ . Běžnou TTL verzí tohoto typu je obvod 74x74, jehož náhradní vnitřní zapojení, tabulku stavů a časový diagram jsou na obr. 56, 57, 58, 59.



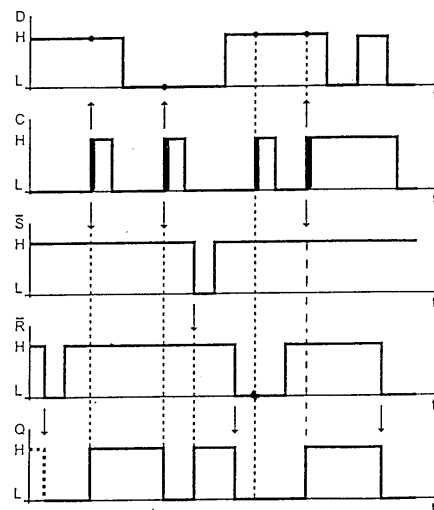
	$\bar{S}$	$\bar{R}$	$C$	$D$	$Q_n$	$\bar{Q}_n$	Režim
1	L	H			H	L	asynchronní
2	H	L	X	X	L	H	
3	L	L			H	H	
4			↑	H	H	L	synchronní
5	H	H	↑	L	L	H	
6			L	X	$Q_{n-1}$	$\bar{Q}_{n-1}$	beze změn

Obrázek 56. D klopný obvod

Obrázek 57. Rozšířená tabulka stavů

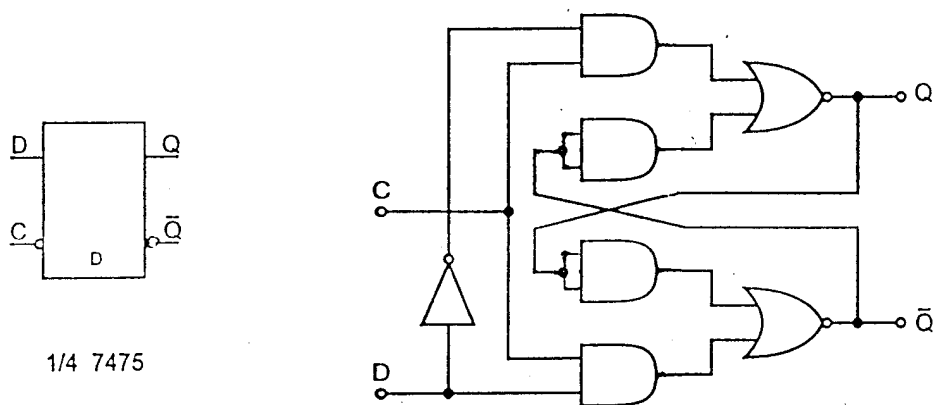


Obrázek 58. D klopný obvod



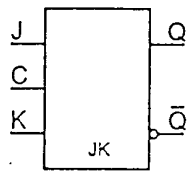
Obrázek 59. Časový diagram

- **D klopný obvod řízený úrovní** – u tohoto typu platí vztah mezi výstupem a vstupy podle základní tabulky stavů a to **během hodinového** synchronizačního impulsu na  $C$  ( i při změnách vstupní funkce) a poslední stav při sestupné hraně se pamatuje – funkce **střadač** (latch). Základním integrovaným obvodem D tohoto typu je 74x75. Jeho náhradní vnitřní zapojení je na obr. 60



Obrázek 60. D klopný obvod

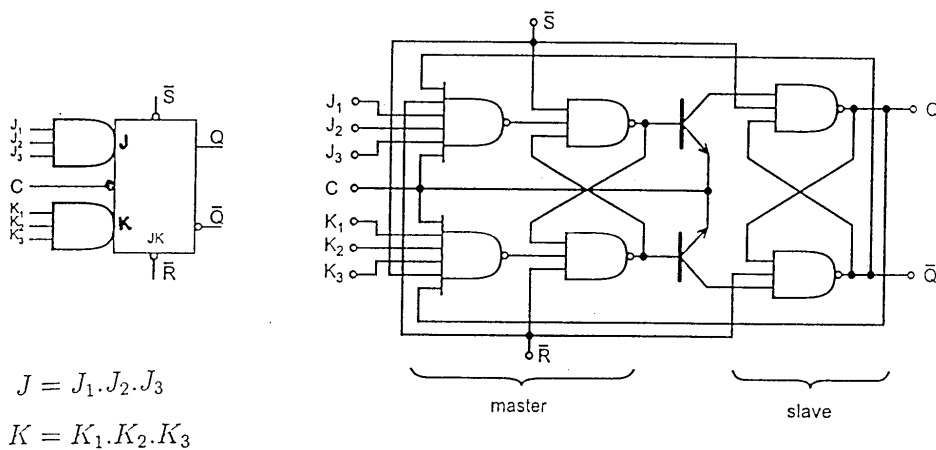
- **JK klopný obvod** – je druhým základním typem klopného obvodu. Obecný klopný obvod má základní tabulku stavů uvedenou na obr. 61



	J	K	$Q_n$
1	L	L	$Q_{n-1}$
2	L	H	L
3	H	L	H
4	H	H	$\overline{Q_{n-1}}$

Obrázek 61. Obecný JK klopný obvod

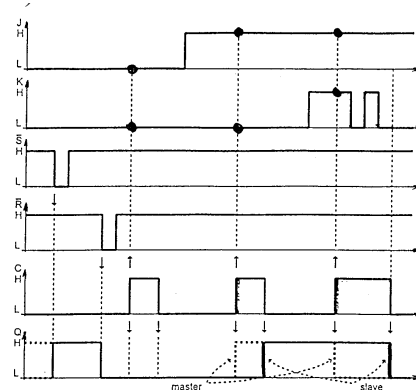
- **JK klopný obvod řízený impulsem** – probíhá činnost ve dvou fázích – s náběžnou a hlavně závěrnou hranou hodinového impulsu. Základním integrovaným obvodem JK tohoto typu je 74x72. Jeho náhradní vnitřní zapojení, rozšířená tabulka stavů a časový diagram jsou na obr. 62, 63, 64.



Obrázek 62. JK klopný obvod

	$\bar{S}$	$\bar{R}$	C	J	K	$Q_n$	$\bar{Q}_n$	Režim
1	L	H		X	X	H	L	asynchronní
2	H	L	X	X	X	L	H	
3	L	L				H	H	
4			↓	L	L	$Q_{n-1}$	$\bar{Q}_{n-1}$	synchronní
5	H	H		L	H	L	H	
6				H	L	H	L	
7				H	H	$Q_{n-1}$	$Q_{n-1}$	beze změn
8	H	H	L	X	X	$Q_{n-1}$	$\bar{Q}_{n-1}$	

Obrázek 63. Rozšířená tabulka stavů



Obrázek 64. Časový diagram

- **JK klopný obvod řízený hranou** – výstupní funkce se ve smyslu pravdivostní tabulky splní jen v okamžiku náběžné nebo sestupné hrany hodinového impulsu.

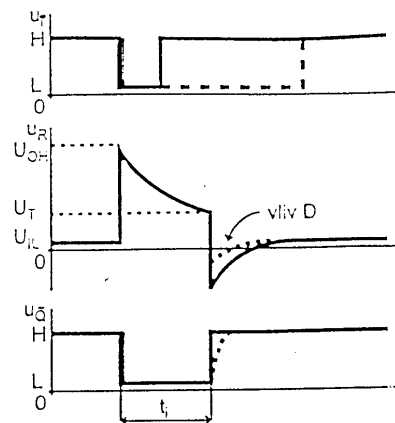
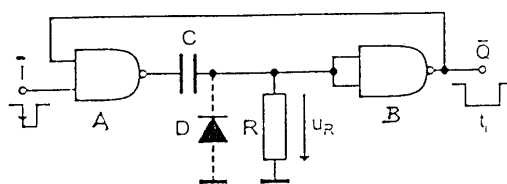
### 5.1.2 Monostabilní klopné obvody

Patří mezi časovací obvody, tj. slouží k prodlužování nebo zkracování impulsů.

- MKO realizované pomocí hradel TTL

- MKO s derivačním obvodem

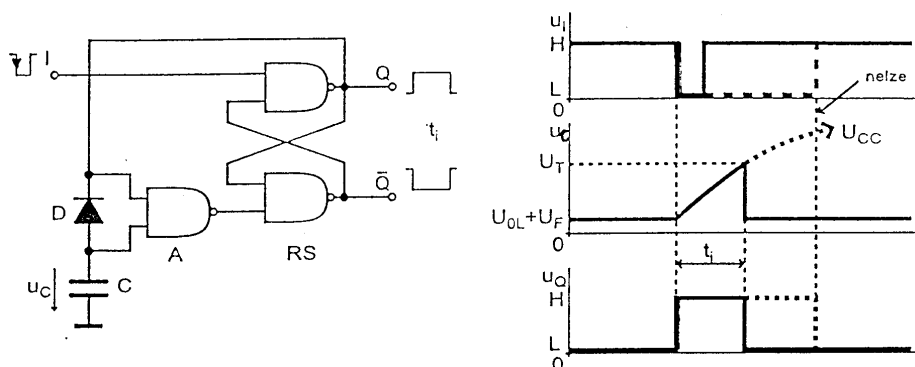
zace pomocí TTL s RC obvodem



Obrázek 65. MKO s derivačním obvodem

$$t_i = RC \cdot \ln \frac{U_{OH} - U_{IL}}{U_T - U_{IL}} \doteq k\tau$$

– MKO s RS obvodem

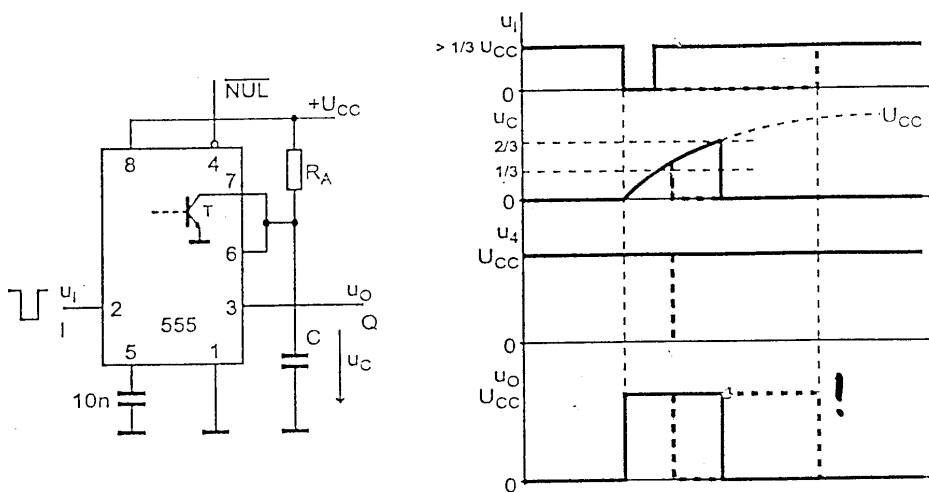


Obrázek 66. MKO s RS obvodem

$$t_i = C \frac{\Delta U_C}{I_{IL}}$$

• Integrované verze MKO

– MKO s obvodem 555



Obrázek 67. MKO s obvodem 555

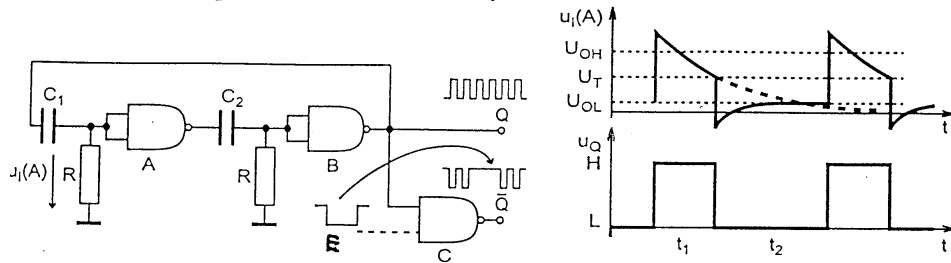
$$t_i = R_A C \ln \frac{0 + U_{CC}}{-\frac{2}{3}U_{CC} + U_{CC}} \doteq \tau_A \cdot \ln 3 = 1,1 \tau_m$$

5.1.3 Astabilní klopné obvody

Lze je použít pro generování obdélkových impulsů

- AKO realizované pomocí hradel TTL

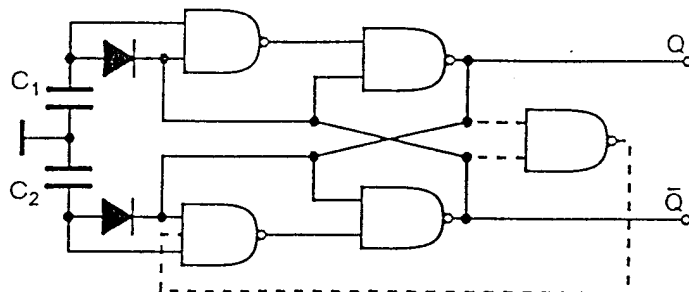
- Symetrický AKO



Obrázek 68. Symetrický AKO

$$f_0 = \frac{1}{t_1 + t_2} \doteq \frac{1}{R(C_1 + C_2)}$$

- AKO s RS obvodem



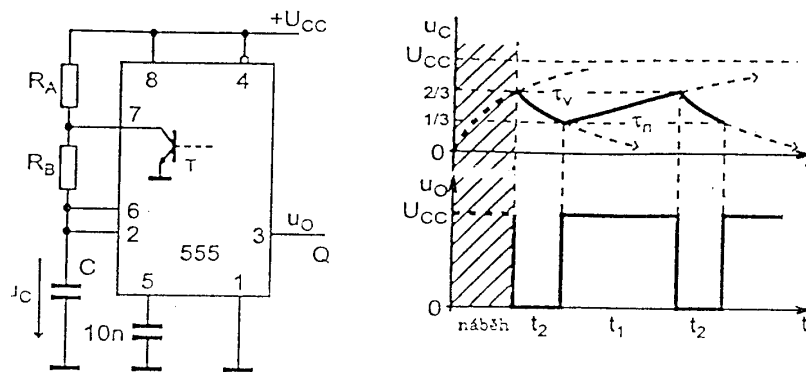
Obrázek 69. AKO s RS obvodem

$$f_0 = \frac{1}{t_1 + t_2} t_i \doteq 0,6 \cdot 10^3 \cdot C_i$$

- Integrované verze AKO

- AKO s obvodem 555





Obrázek 70. AKO s obvodem 555

$$f_0 = \frac{1}{t_1 + t_2} \doteq \frac{1,44}{C(R_A + R_B)}$$

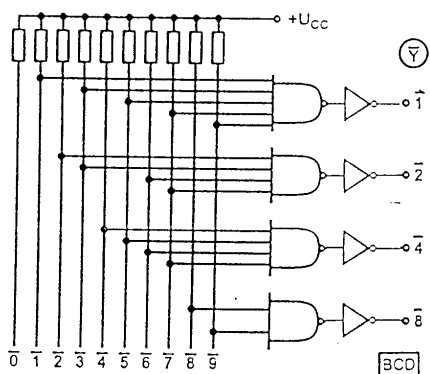
## 6 Kombinační logické obvody

Jako **kombinační** jsou nazývány ty logické obvody a systémy, u kterých hodnoty výstupních logických signálů jsou jednoznačně určeny pouze hodnotami vstupních signálů.

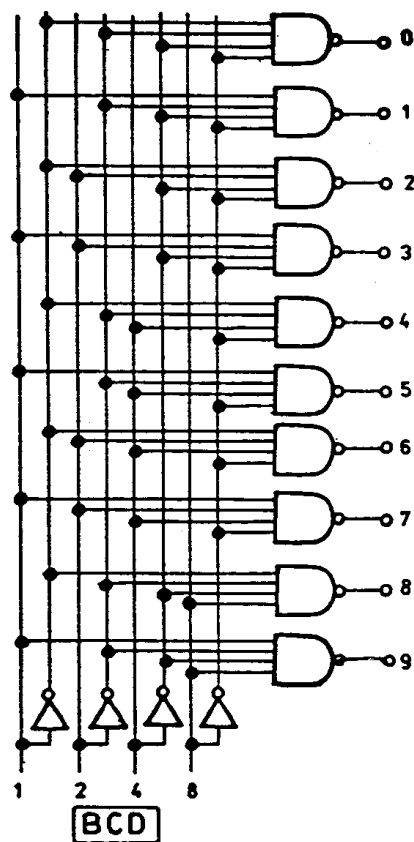
- Logická hradla – základní kombinační obvody, jejich přehled viz obr. 71.
- **Převodníky kódů**
  - **Kodéry** – jsou kombinační logické obvody, které převádějí kód 1 z  $n$  na vybraný typ kódu, viz obr. 72.
  - **Dekodéry** – jsou kombinační logické obvody, které převádějí vybraný kód na kód 1 z  $n$ , viz obr. 73.
  - **Rekodéry (převodníky kódů)** – jsou kombinační logické obvody, které převádějí jeden kód na druhý
- kódy, jako prostředek pro vytváření číslic a dat zpracovávaných prostřednictvím obvodů realizujících aritmetické operace, pamatování nebo přenos informace, mají různé modifikace
  - 1 z  $n$  – ve variantě 1 z 10 – pro každou z dekadických číslic je aktivován jen jeden výstup
  - **Binární kód BIN** – slouží k vyjádření dekadické soustavy soustavou binární s vahami proměnných nejčastěji  $2^n$ .
  - **Binárně dekadický BCD** – jednotlivé dekadické číslice jsou vyjádřeny jako u binární verze, ale s omezením 0 až 9
  - **Kód 5421** – velmi často se používá pro děliče frekvence u nichž je požadován symetrický výstupní průběh signálu.

	ASA		DIN 40700 stará	DIN 40700 nová IEEE Std 91 ČSN
<b>NAND</b> $Y = \overline{A \cdot B}$				
<b>NOR</b> $Y = \overline{A + B}$				
<b>AND</b> $Y = A \cdot B$				
<b>OR</b> $Y = A + B$				
<b>negace</b> $Y = \overline{A}$				
<b>oddělovač</b> $Y = A$				
<b>EX-OR</b> $Y = \overline{A} \cdot B + A \cdot \overline{B}$				
<b>EX-NOR</b> $Y = \overline{A} \cdot \overline{B} + A \cdot B$				

Obrázek 71. Logická hradle



Obrázek 72. Kodér kódu 1 z 10 na BCD



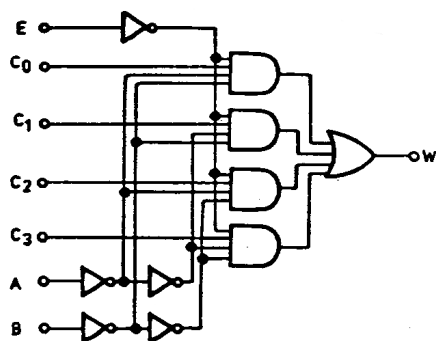
Obrázek 73. Dekodér z kódu BCD

## • Komparátory

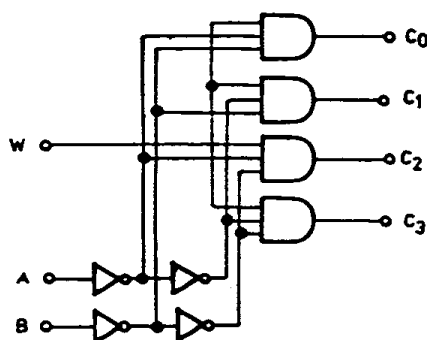
- **Digitální komparátory** – podle velikosti porovnávají mezi sebou několikabitová čísla
- **Logické komparátory** – generují signál, který určuje pouze rovnost či nerovnost srovnávaných čísel
- **Aritmetické komparátory** – v případě nerovnosti dvou čísel udávají navíc informaci, které číslo je větší a které menší.

## • Multiplexery, demultiplexery

- **Multiplexery** – (dataselektory) jsou kombinační obvody, které tvoří funkci přepínače logických signálů ovládaného kódem. Tzn., že obvod přenáší informaci jednoho z  $n$  vstupů na jeden výstup, viz obr. 74.
- **Demultiplexery** – (dekodéry) tvoří obrácenou funkci k multiplexeru, t.j. v závislosti na kódu přepíná jediný vstupní signál na 1 z  $n$  výstupních svorek, viz obr. 75.



Obrázek 74. Multiplexer



Obrázek 75. Demultiplexer

## 7 Sekvenční logické obvody

Posuvné registry i čítače jako **sekvenční logické obvody** jsou charakterizovány kaskádním řazením základních bistabilních klopných obvodů typu D nebo JK.

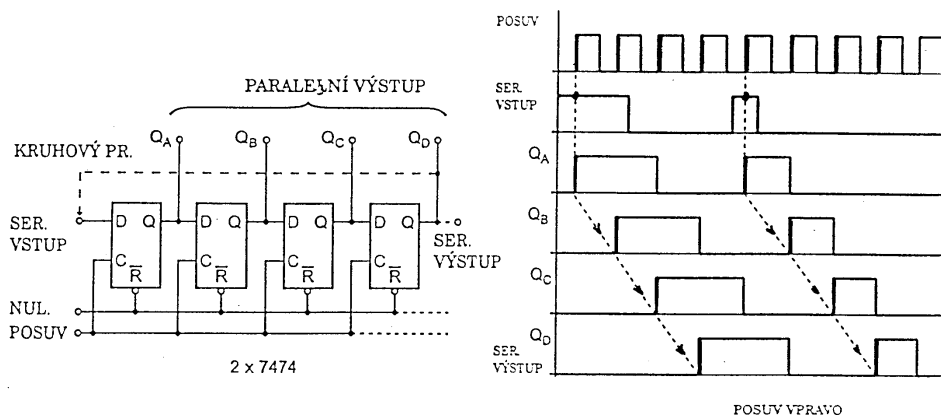
- **Posuvné registry** – jsou zařízení sestavená z  $N$  kaskádně řazených klopných obvodů, které umožňují informaci uloženou v těchto klopných obvodech posouvat v závislosti na hodinových pulzech vždy z daného klopného obvodu do nejbližšího následujícího (resp. nejbližšího předcházejícího) klopného obvodu, viz obr. 76.

Posuvné registry lze dělit

- **podle směru posouvání** na registry vpřed, vzad a reversibilní
- **podle vkládání informace** na registry s paralelním nebo seriovým vstupem
- **podle výběru informace** na registry s paralelním nebo seriovým výstupem

Použití posuvných registrů

- **Vyrovňovací paměť** – uchování paralelně nahrávaných dat bez posunu
- **Serio-paralelní převodník** – seriovým vstupem a posunem se nahrají seriová data do registru a paralelně se přečtou.
- **Paralelně-seriový převodník** – nahrají se do registru paralelní data a posunem se vyšlou přes seriový výstup.
- **Zpoždovací linka** – seriová data se přijímají seriovým vstupem a vysílají se přes seriový výstup. Délka zpoždění je dána součinem počtu klopných obvodů registru a periody hodinového signálu

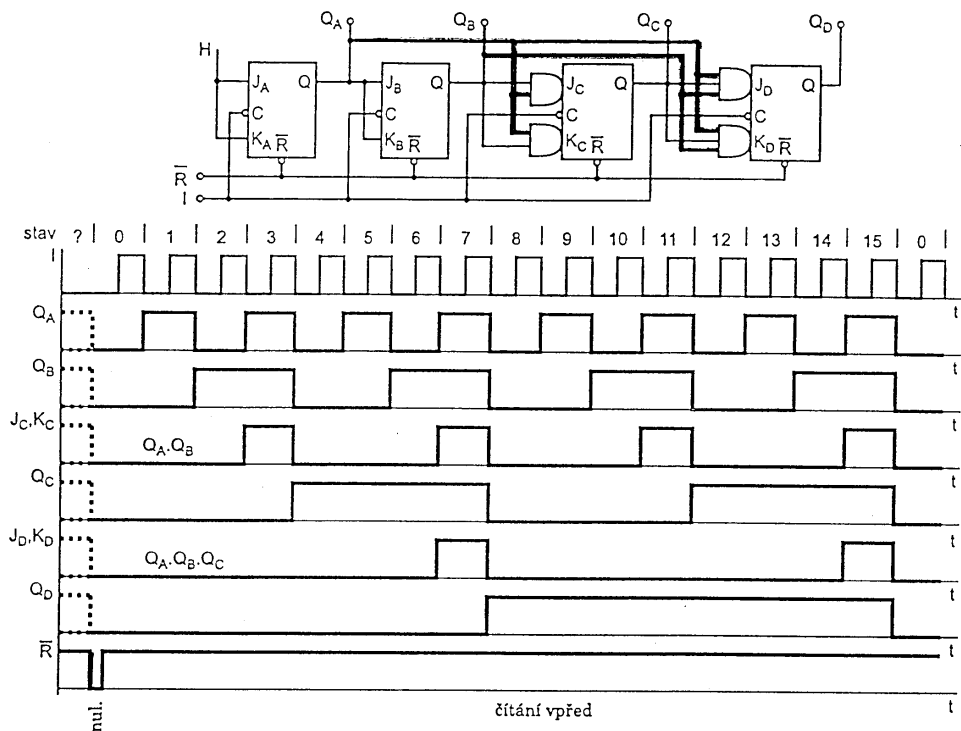


Obrázek 76. Část posuvného registru a příklad odpovídajícího časového diagramu

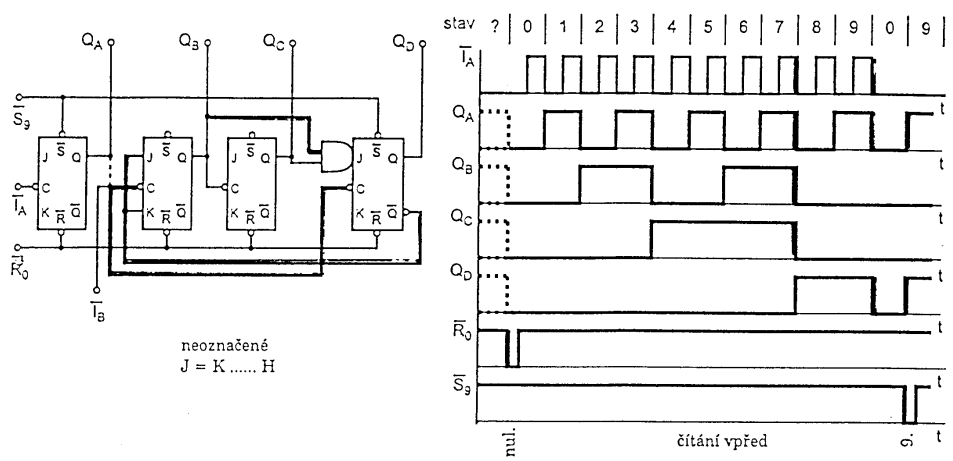
- **Řadič (kruhový registr)** – kruhový posun informace v registru (spojený seriový vstup a výstup). V registru se kruhově posouvá informace jednou paralelně nahraných dat nebo se vnějšími obvody zajišťuje obnova specifické posouvané informace (posun jediné jedničky).
- **Čítače** – jsou zařízení, která čítají hodinové pulsy v určitém kódu. Jejich počet je pak vyjádřen na výstupech v určitém kódu. Můžeme je dělit do skupin
  - **podle propojení klopných obvodů na hodinový signál** na
    - \* **synchronní** – všechny klopné obvody jsou spouštěny jediným hodinovým signálem (klopí najednou), viz obr. 77,
    - \* **asynchronní** – první klopný obvod čítače je spouštěn hodinovým signálem, ostatní klopné obvody mají svůj hodinový signál odvozen od klopných obvodů předcházejících (při klopení jednotlivých stupňů dochází ke zpoždění), viz obr. 78.
  - **Podle směru čítání** je můžeme dělit
    - \* **vpřed** – čítají od menšího čísla k většímu,
    - \* **vzad** – čítají od většího čísla k menšímu,
    - \* **reverzibilní** – čítají podle logické podmínky vpřed nebo vzad.
  - **Podle počtu čítaných impulsů – čítač s modulem  $N$** 
    - \* **binární** – proveň čítání  $N$  je dána počtem stupňů čítače  $n$ , tj.  $N = 2^n$
    - \* **dekadický** – desítkový čítač (mod 10)

## 8 Polovodičové paměti

**Polovodičová paměť** jako elektronický systém pro přijímání informace v procesu zápisu a jednak pro dlouhodobé uchování této informace s možností čtení.



Obrázek 77. Synchronní čítač



Obrázek 78. Asynchronní čítač

## Základní údaje u paměti

- **Informační kapacita** – maximální množství informace, které lze do paměti uložit. Udává se v násobcích mocnin  $2^n$ .
- **Organizace dat** – souvisí s rozdělením kapacity podle požadované (možné) šířky jednoho paměťového místa a dále podle součinu počet řádků \* počet sloupců.
- **Druhy výstupů a řídicích signálů** – nejběžnější výstupní obvody jsou otevřené kolektory nebo třístavový výstup. Pro možnost spolupráce a propojování pamětí se používají řídicí signály selekce *CS* a aktivace *OE*.
- **Doby cyklu** – rozumí se minimální časový interval mezi začátkem a koncem sledu operací nezbytných k realizaci jedné z funkcí paměti, definované pro jednu adresu.

## Druhy polovodičových pamětí

- **Podle technologie**
  - **Bipolární** – hlavně TTL s velkou pracovní rychlostí, ale s malou hustotou na čipu
  - **Unipolární** – s MOS tranzistory, které se nemusí mezi sebou složitě izolovat, čímž se dosahuje výrazně vyšší hustoty. Existují tři základní typy
    - \* **PMOS** – nejjednodušší, první zvládnutelná technologie, neslučitelná, nebo jen částečně s TTL. Nutnost více napájecích napětí.
    - \* **NMOS** – technologie využívaná pro větší hustotu, 5 V napájecí napětí
    - \* **CMOS** – velmi malý příkon, široké rozmezí napájecích napětí, vyšší šumová imunita.
- **Podle možnosti změny dat**
  - **se stálým obsahem dat** (pouze pro čtení)
    - \* **ROM (Read Only Memory)** – obvykle jsou v nich data uložena přímo výrobcem
    - \* **PROM (Programmable Read Only Memory)** – mohou být naplněna daty pomocí tavných propojek přímo uživatelem
  - **převážně pro čtení - RMM**, u nichž je čtení rychlé, ale zápis představuje poměrně složité proces.
    - \* **EPROM** – (Erasable Programmable Read Only Memory) je možno speciálním technologickým postupem vymazat a zapsat data nová.
    - \* **EAROM, EEPROM** – jsou paměti, do nichž lze zapsat i vymazat data elektrickou cestou a přesto data zůstanou zachována i po vypnutí napájení. Většinou jde o speciální režim se zvýšeným napětím signálů a se zápisem delším než je čtení.
  - **s měnitelným obsahem dat**

\* **RWM** – možnost záznamu i čtení a to libovolně často a obojí stejně rychle během běžného provozu

- **Podle přístupu k informaci**

- **S libovolným přístupem RAM** – (Random Access Memory) paměťové buňky jsou si rovnocenné a liší se jen adresou, kterou lze zvolit při každém přístupu libovolně vůči předchozím použitým adresám.
- **Se seriovým (sekvenčním) přístupem SAM (FiFo, LiFo)** – např. posuvné registry, kde informaci lze vybrat až v určitém okamžiku, kde se tato posune až na sériový výstup.
- **Se speciálním přístupem** – vybírá se podle určitého aspektu samotné informace a ne z předem určených buňek - paměť adresovaná obsahem.

- **Podle způsobu provozu**

- **Statické** – paměťovou buňkou pro jede bit je BKO, proto je nutno počítat s celkovým poměrně velkým stálým příkonem (výjimkou je CMOS technologie).
- **Dynamické** – výhradně se používají MOS tranzistory a jejich kapacity v řídicí elektrodě. Hodnota pamatovaného bitu je určena velikostí elektrického náboje, který řádově v ms zaniká, a proto nutné jeho obnovování.
- **Pevné** – nositelem informace je náboj, ale příslušná kapacita je relativně velká, dobře izolovaná, a proto není třeba náboj obnovovat i po řadu let.

## 9 Programovatelné logické obvody – hradlová pole

Základní rozdělení a názvosloví PLD (Programmable Logic Device)

- **PROM (Programmable ROM)** – Výchozí strukturou těchto obvodů je struktura programovatelné paměti PROM. Struktura PROM má pevné pole AND (adresový dekodér) a programovatelné pole OR. Každý výstup může být naprogramován z libovolné kombinace vstupních proměnných (adresový dekodér jako generátor min-termů). Použití PROM je výhodné při realizaci znakových generátorů, převodníků kódů, adresovatelných tabulek a pod. t.j. v případech, kdy se využívá velké množství vstupních kódových kombinací. Nevýhodná je oblast, kdy požadujeme velký počet vstupních proměnných přičemž pro realizaci výstupní funkce využíváme malý počet kombinací. Přidáním další vstupní proměnné se počet spojek v propojovacím poli AND zdvojnásobuje, což je pro realizaci obvodu neúnosné. Proto se PROM paměti vyrábějí s max 13 vstupy.
- **PAL (Programmable Array Logic)** – Struktura obvodů PAL má programovatelné pole AND a pevné pole OR. Dokonce výstupní funkce jsou omezeny počtem sčítaných členů (v uvedeném příkladu 4 součinné členy). V tomto případě není možné každý výstup programovat z každé kombinace vstupních proměnných, ale



je možné pro realizaci jedné výstupní funkce zahrnout mnohem více vstupních proměnných bez potřeby zvětšení velikosti matice spojek AND. Výhodou je proto proti paměti PROM mnohem větší počet kombinací při daném počtu programovatelných spojek (pojistik) a možnost většího počtu výstupních kombinací. Tento typ programovatelného obvodu je pro realizaci výhodnější, protože ne všechny aplikace vyžadují pro vytváření výstupních funkcí všechny vstupní kombinace.

- **PLA (Programmable Logic Array)**
- **FPLA (Field Programmable Logic Array)** – Architektura obvodů FPLA kombinuje strukturu obvodů PROM a PAL, takže obě pole jak AND tak i OR jsou programovatelná. Tím se sice zvýší univerzálnost obvodu ale za cenu horší využitelnosti a zvýšení složitosti obvodu. Tento typ se většinou realizuje jako kombinační síť.
- **GAL (Generic Array Logic)** – Obvody typu GAL jsou moderní programovatelné obvody technologie E<sup>2</sup>CMOS, jejichž rychlost je srovnatelná s bipolárními obvody ale s mnohem menší spotřebou. Struktura i složitost těchto obvodů je obdobná se strukturou PLD, stavebnice však vzhledem k složitější univerzální struktuře obsahuje menší počet typů. Proti bipolárním obvodům PLD mají obvody GAL mnohem menší spotřebu, dovolují reprogramovat obsah, což snižuje náklady na vývoj systému, mají možnost testování funkce před nahráním obsahu, což vylučuje celou řadu chyb způsobených chybnou funkcí (chyba pojistky u PLD). Proti UV CMOS obvodům je výhoda v ceně (pouzdra s okénkem jsou drahá) a kratší době mazání obvodu (pro UV 20 min).
- **CPLD (Complex PLD)**
  - **pLSI (programmable LSI), ispLSI (in-system programmable LSI)**
- **XILINX** – Obvody Xilinx (výrobce je stejnojmenná firma Xilinx Inc.) dnes patří ke standardním typům co do frekvence velmi často používaným programovatelným logickým obvodům vyráběným technologií CMOS. Skupina programovatelných logických obvodů sestává ze dvou podskupin, které se liší složitostí a použitím.
  - **EPLD (EPROM Programmable Logic Device)** – Obvody Xilinx EPLD jsou CMOS EPROM programovatelné logické obvody založené na PAL architektuře. Umožňují realizovat zákaznické LSI obvody při poměrně nízké ceně a vysoké spolehlivosti. Vlastní struktura obvodů je založena na použití programovatelných funkčních bloků propojených vzájemně univerzální propojovací maticí. Každý funkční blok obsahuje 9 Macrocell (MC) s připojeným AND/OR polem. Každý vstup obvodu a každý výstup z MC může být spojen s kterýmkoli vstupem MC přes univerzální propojovací matici UIM. Výhodou je jednoduché použití tradiční PAL architektury.
  - **FPGA (Field Programmable Gate Array)** – Tato skupina obvodů je určena pro složitější aplikace. Každý obvod obsahuje kombinační logiku (jako 16x1 ROM tabulka), která je připojena na D vstup klopného obvodu nebo

vede k ostatním I/O obvodu. Každý obvod obsahuje matici identických logických bloků ve struktuře od 8x8 (XC 2064) do 32x32 (XC 4025). V obvodu je matice kovových propojovacích vodičů, které propojují jednotlivé bloky. Modulární struktura má dostatek registrů a funkčních generátorů, které mohou realizovat libovolné funkce až do 5-ti proměnných. Vnitřní hodinové signály jsou dostatečně zesíleny pro synchronizaci všech klopných obvodů. Obvody obsahují vnitřní třístavovou obousměrnou sběrnici. Vstupy a výstupy mohou být programovány pro TTL nebo CMOS prahovou charakteristiku s hysteresí. Obvody mají asynchronní RESET.

## 10 Zobrazovací systémy

Optoelektronické systémy zahrnují prvky emitující záření nebo prvky citlivé na záření a pracují ve viditelném, infračerveném, ultrafialovém rozsahu záření.

- **zobrazovací prvek** – součástka umožňující indikovat oba binární stavy (L, H)
- **zobrazovací jednotka** – součástka umožňující zobrazení dvou a více znaků (číslíce, písmena, znaménka)
- **zobrazovací systém - displej** – větší počet zobrazovacích jednotek dohromady

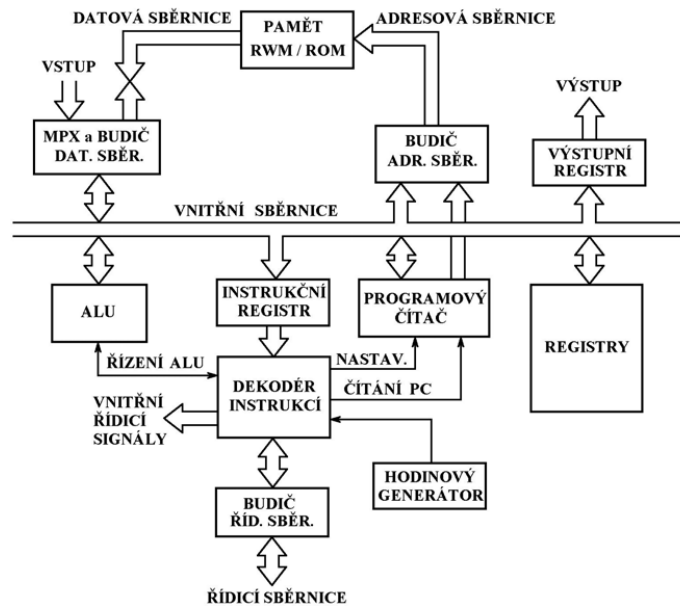
V dnešní době se u polovodičových zařízení nejčastěji setkáme se zobrazovacími prvky a systémy realizovanými pomocí

- **světelných diod LED** – nejjednodušší zobrazovací prvek pro indikaci. Fyzikální princip spočívá v určitém druhu luminiscence, při které dochází k excitaci (vybuzení) nosičů náboje vlivem elektrického proudu. Tím jsou nosiče převáděny do vyšších energetických stavů a při návratu zpět do rovnovážného stavu dochází k rekombinaci (odevzdání nadbytečné energie) nosičů a tím i k jejich změnám v kvanta elektromagnetického záření - fotony.
- **tekutých krystalů LCD** – základním principem je tzv. **dynamický rozptyl světla**. Tento jev vzniká při natočení molekul kapalného krystalu vlivem **elektrického pole**. Kapalný krystal je umístěn mezi planparalelní průhledné destičky, na které jsou nanášeny elektrody, je za normálního stavu průhledný, neboť jsou molekuly uspořádány kolmo na plochu destiček. Vlivem elektrického pole se molekuly natočí, čímž se kapalina **zakalí**. Tento jev je vratný, přičemž přechody trvají běžně desítky až stovky ms. Obrazce vytvářené kapalnými krystaly mezi skleněnými destičkami můžeme pozorovat
  - **transmisivním způsobem** – je třeba pro podsvícení zezadu světelný zdroj, LED nebo svítící fólie
  - **reflexním způsobem** – je pokryta jedna elektroda vrstvou kovu, která odráží světlo

## 11 Mikropočítače

Mikrokontroléry, jak se říká jednočipovým mikropočítačům, jsou vlastně mikroprocesory, které jsou svým uspořádáním navrženy speciálně pro monitorování a řízení různých mechanismů a procesů spíše než pro běžnou manipulaci s daty. Mikrokontroléry vždy obsahují tzv. časovače (různé typy), které umožňují synchronizaci s vnějším okolím.

Typická struktura mikropočítače je na obr.79.



Obrázek 79. Typická struktura mikropočítače

Sběrnice – množina signálních vodičů, na které jsou připojeny vysílače a přijímače dat. V daný okamžik může být na sběrnici připojen pouze jeden vysílač (a teoreticky libovolný počet přijímačů). Jak vysílače tak i přijímače jsou aktivovány adresou tak, aby data určitého vysílače byla přijata přijímačem, kterému jsou právě určena. Realizace vysílačů - obvody s třístavovým výstupem (L, H, odpojeno)(TS) event. s otevřeným kolektorem (OC). Počet signálních vodičů sběrnice definuje délku slova sběrnice v bitech (8-bitová, 16-bitová, ...). Sběrnice

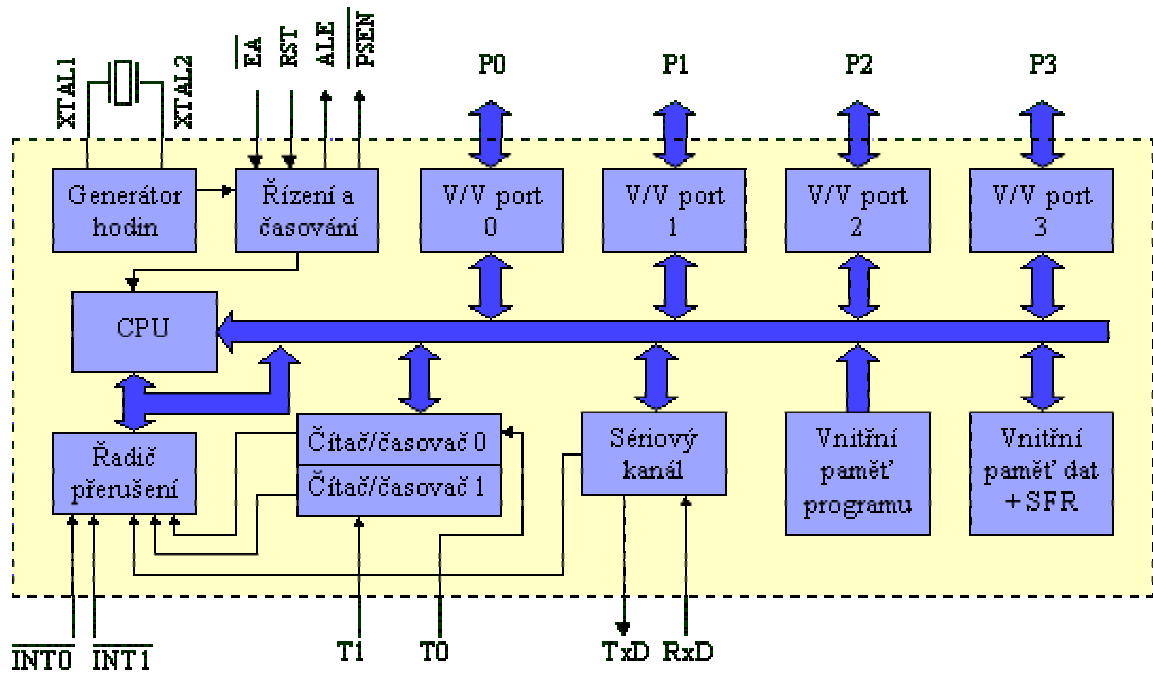
- **jednosměrné**
- **obousměrné**
- **datová sběrnice** – sběrnice po které se přenášejí informace o instrukcích programu a datech (obvykle obousměrná)
- **adresová sběrnice** – sběrnice po které se přenášejí informace o adresovaném místě paměti nebo adresované vstupní nebo výstupní jednotce

- **řídící sběrnice** -- sběrnice po které se přenášejí řídicí signály

## 11.1 Mikroprocesor 8051

Mikroprocesor 8051 je 8-bitový jednočipový mikroprocesor s harwardskou strukturou, u které je oddělena programová a datová paměť. Vnitřní struktura mikroprocesoru je zobrazena na obr. 80. Procesor je schopen samostatné činnosti po připojení vnějšího piezokeramického rezonátoru (krystalu) na vývody XTAL1 a XTAL2, napájecího napětí  $5 V_{ss}$  na vývod  $U_{cc}$  a připojení nulovacího obvodu na vývod RST. Pokud nepoužíváme vnější paměť programu, je ještě nutné nastavit vstup EA (neg.) do log.1. Výjimku tvoří 20-pinové procesory ATMEL 89C1051,2051,4051, které vstup EA (neg.) nemají.

V krátkosti jsou zde uvedeny vlastnosti a součásti základní (původní) verze mikroprocesoru 8051. Uvažujeme výhradně CMOS verzi mikroprocesoru, takže správně by mělo být uváděno označení 80C51 namísto zjednodušujícího 8051 (původní HMOS). Mikroprocesor tvoří centrální procesorová jednotka (CPU), jejíž podstatnou částí je aritmeticko-logická jednotka. Ta umožňuje pracovat s jednotlivými bity paměti, vykonávat instrukce programu atd. Centrální procesorová jednotka je vnitřní 8-bitovou společnou sběrnici propojena s pamětí programu a pamětí dat. Vnitřní paměť programu o velikosti 4kB může být typu ROM (8051), EPROM (8751) nebo mikroprocesor nemusí mít žádnou vnitřní paměť programu (8031). Vnitřní paměť dat je typu RAM o velikosti 128 bytů. Ke společné sběrnici jsou dále připojeny 4 vstupně/výstupní porty P0 až P3, které umožňují styk mikroprocesoru s vnějšími periferiemi.



Obrázek 80. Typická struktura mikropočítače